

Thiết kế OPAMP điện thế thấp sử dụng transistor chia độ dài

• Lê Trung Khanh

• Bùi Trọng Tú

Trường Đại học Khoa học Tự nhiên, ĐHQG-HCM

• Lê Đức Hùng

• Phạm Công Kha

Trường Đại học Điện tử – Thông tin, Nhật Bản

(Bài nhận ngày 20 tháng 3 năm 2013, nhận đăng ngày 20 tháng 3 năm 2014)

TÓM TẮT

Trong bài báo này, chúng tôi trình bày một thiết kế mạch khuếch đại thuật toán (OPAMP) điện thế thấp sử dụng các transistor chia độ dài kết hợp kỹ thuật bổ chính hồi tiếp gián tiếp - một kỹ thuật tiên tiến trong việc ổn định hoạt động của một OPAMP. Các transistor ghép cascode thường được ứng dụng vào hệ thống hồi tiếp gián tiếp. Tuy nhiên, cách ghép này không phù hợp cho việc hoạt động ở điện thế thấp. Trong nghiên cứu này, chúng tôi đã tận dụng

các transistor chia độ dài và kỹ thuật bổ chính hồi tiếp gián tiếp để thiết kế một OPAMP hiệu suất cao. Kết quả là mạch OPAMP được thiết kế không những hoạt động được ở điện thế thấp mà còn ở tần số cao. Mạch OPAMP được thiết kế và chế tạo dựa trên công nghệ CMOS 0.18um. Mạch OPAMP này đạt được độ lợi 100 dB, tần số độ lợi đơn vị 90 MHz và lệch pha 60° tại điện thế nuôi 2 V.

Từ khóa: công nghệ CMOS, opamp, transistor, cascode

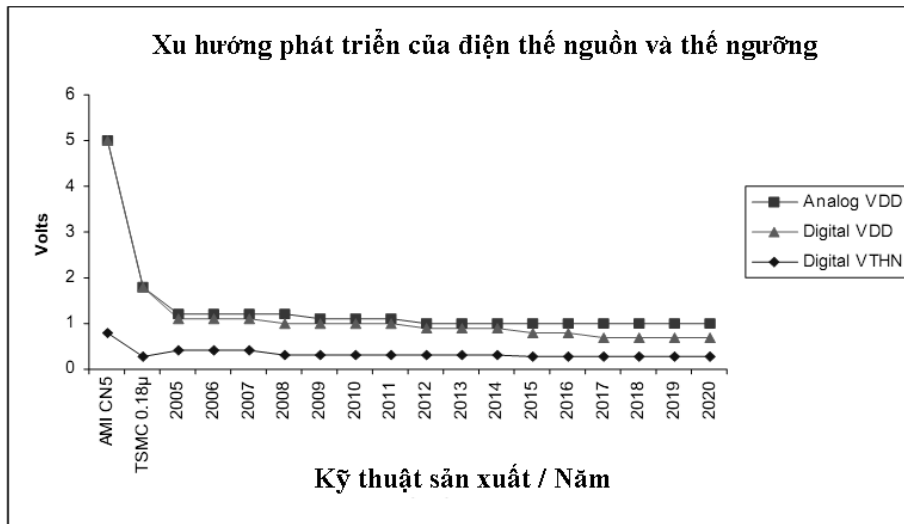
MỞ ĐẦU

Công nghệ CMOS hiện đại đang có những bước tiến vô cùng lớn trong việc thu nhỏ kích thước linh kiện, giảm điện thế cung cấp trong khi vẫn đảm bảo tốc độ và độ ổn định của hệ thống. Tuy nhiên những thành tựu đó chỉ đang được phát huy triệt để trong các thiết kế mạch số. Việc giảm điện thế cung cấp hay kích thước linh kiện gây ra những tác động lớn cho tính ổn định của các thiết kế mạch tương tự. Hình 1 biểu diễn xu hướng giảm điện thế cung cấp với sự phát triển của công nghệ CMOS.

Như chúng ta thấy trong Hình 1, điện thế ngưỡng gần như không có sự biến động nhiều,

điều đó làm cho việc giảm điện thế cung cấp đối với các thiết kế mạch tương tự trở nên khó khăn. Trong đề tài này, chúng tôi nghiên cứu ứng dụng mô hình transistor chia độ dài vào việc thiết kế mạch tương tự sử dụng công nghệ CMOS 180nm. Mô hình này giúp cho các thiết kế mạch tương tự có thể hoạt động ở điện thế thấp trong khi vẫn đảm bảo được tính ổn định.

Kết quả đạt được là một mạch opamp ba tầng sử dụng mô hình transistor chia độ dài, hoạt động ở điện thế 2V với lệch pha 60°.



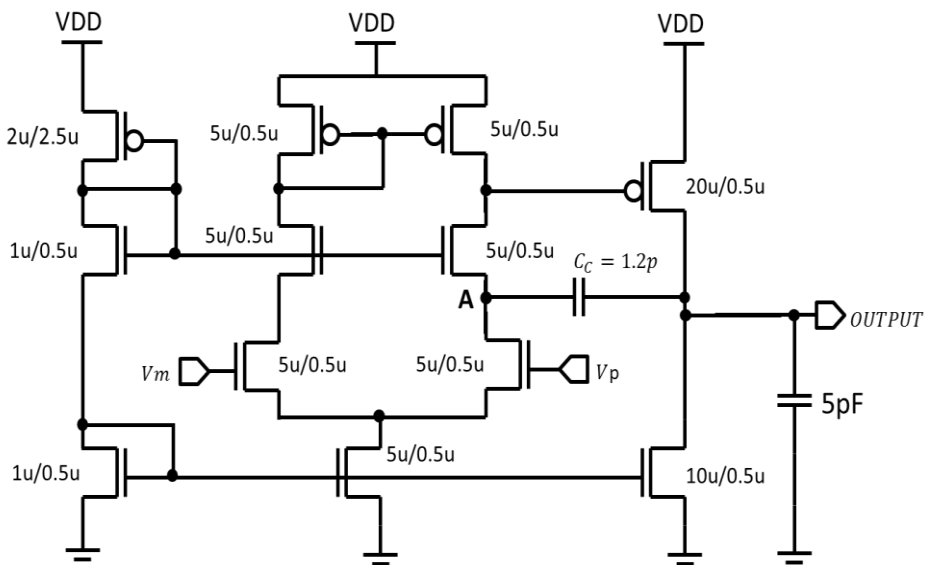
Hình 1. Xu hướng tiến triển của điện thế cung cấp và thế ngưỡng của NMOS

PHƯƠNG PHÁP

Mô hình mạch opamp ghép cascode và transistor chia độ dài

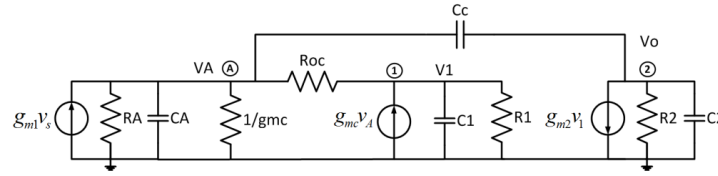
Trong phương pháp thiết kế mạch opamp truyền thống, kỹ thuật ghép cascode các transistor thường được sử dụng rộng rãi nhằm

tăng độ lợi cũng như tạo các điểm hồi tiếp cho việc sử dụng kỹ thuật bù chính tần số hồi tiếp gián tiếp [1]. Hình 2 miêu tả một sơ đồ mạch opamp ghép cascode.



Hình 2. Mạch opamp 2 tầng ghép cascode ngõ vào vi sai

Phân tích miền tín hiệu nhỏ mạch trong Hình 2 cho sơ đồ tương đương như Hình 3 dưới đây.



Hình 3. Mạch tương đương tín hiệu nhỏ

Mạch cascode opamp cho cực ưu thế và không ưu thế như sau:

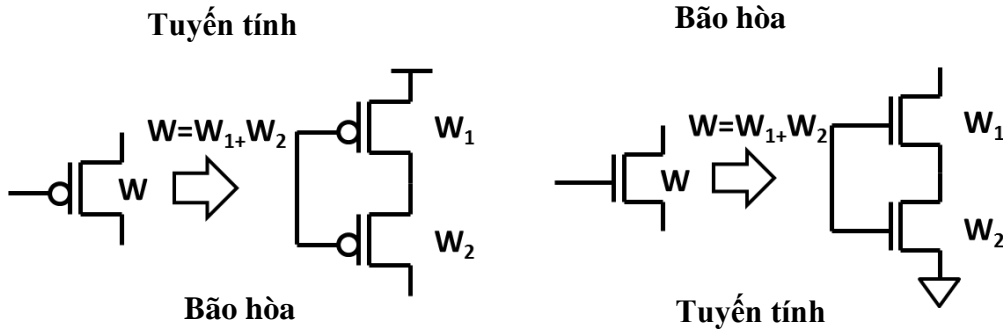
$$p_1 = -\frac{1}{C_C R_1 R_2 g_{m2}} \text{ và } p_2 = -\frac{g_{m2} C_C}{C_1 (C_2 + C_C)} \quad (1)$$

Cả cực ưu thế và không ưu thế đều chịu tác động của tụ bổ chính C_C nên chúng có thể di chuyển ngược chiều nhau. Điều này giúp cho mạch đạt được lờ pha lớn và tần số độ lợi đơn vị cao chỉ với giá trị nhỏ tụ bổ chính C_C . Để phân cực cho các transistor hoạt động bão hòa, nguồn

cung cấp cho mạch phải có giá trị tối thiểu theo công thức:

$$VDD_{MIN} = V_{TP} + V_{SDsat} + 3V_{DSsat} \quad (2)$$

Với xu thế phát triển của công nghệ CMOS, điện thế nguồn nuôi ngày càng giảm trong khi thế ngưỡng gần như không đổi, mô hình ghép cascode không thể hiện tính tối ưu trong việc thiết kế các mạch tương tự. Một giải pháp thay thế là sử dụng mô hình transistor chia độ dài (transistor ghép giả cascode) [2, 3]. Hình 4 diễn giải mô hình transistor chia độ dài.

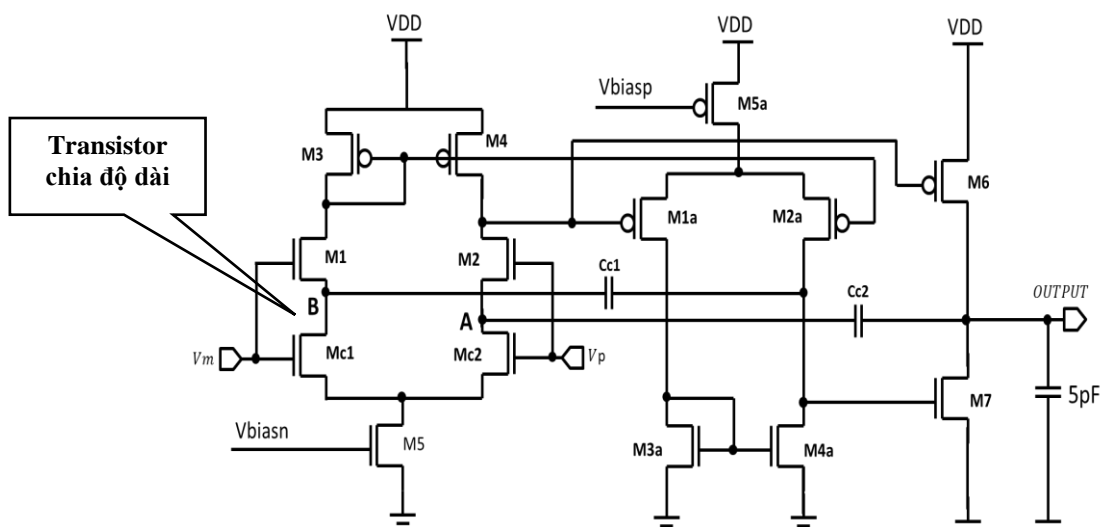


Hình 4. Mô hình transistor chia độ dài

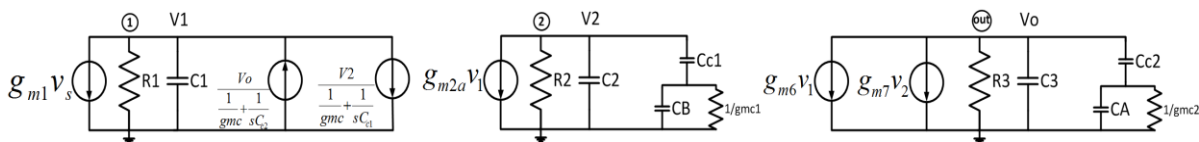
Trong mô hình transistor ở Hình 4, mỗi transistor có kích thước W sẽ được cắt thành một cặp transistor ghép cascode nhau. Ở đây, khác với cách ghép cascode truyền thống, trong cách ghép này tạo ra hai transistor hoạt động ở hai chế độ khác nhau, một ở miền bão hòa và một ở miền tuyến tính. Bằng việc đưa một transistor về hoạt động ở miền tuyến tính, giá trị tối thiểu của điện áp cung cấp cho mạch cascode sẽ giảm bớt.

Thiết kế opamp ba tầng sử dụng transistor chia độ dài

Mô hình mạch opamp ba tầng ứng dụng transistor chia độ dài được miêu tả như trong Hình 5. Mạch opamp được thiết kế ngoài việc sử dụng các transistor chia độ dài, kỹ thuật ghép lồng đảo Miller cũng được áp dụng nhằm tối ưu các đường hồi tiếp trong mạch [4-6]. Hình 6 là mô hình mạch tương đương miền tín hiệu nhỏ của mạch ở Hình 5.



Hình 5. Opamp ba tầng dùng transistor chia độ dài



Hình 6. Sơ đồ tương đương miền tín hiệu nhỏ

Hàm truyền của mạch có dạng sau:

$$A_d(s) = A_V \left(\frac{b_3 s^3 + b_2 s^2 + b_1 s + b_0}{a_5 s^5 + a_4 s^4 + a_3 s^3 + a_2 s^2 + a_1 s + a_0} \right) \quad (3)$$

Hàm truyền cho các điểm không (zero) như sau:

$$z_1 = -\frac{1}{C_{C2} R_A}, \quad z_2 \approx z_3 \approx -\frac{C_2 R_2 g_{m6} + C_{C1} R_2 g_{m6} + C_{C1} R_B g_{m6} + C_{C1} R_2 g_{m2} g_{m7} R_B}{2 C_2 C_{C1} g_{m6} R_B} \quad (4)$$

Cực ưu thế có dạng:

$$p_1 \approx -\frac{1}{C_{C2} R_1 R_3 (g_{m6} + R_2 g_{m2} g_{m7})} \quad (5)$$

Bằng việc sử dụng transistor chia độ dài, giá trị tối thiểu điện thế nguồn nuôi cho mạch là:

$$VDD_{MIN} = V_{TP} + V_{SDsat} + V_{DS} + 2V_{DSsat} \quad (6)$$

KẾT QUẢ

Kết quả mô phỏng và layout

Mạch opamp được mô phỏng và thiết kế layout dựa trên công nghệ CMOS 0,18um. Tham số của linh kiện trong mạch ở Hình 5 được liệt kê

trong Bảng 1. Tham số này được tính nhằm thỏa yêu cầu thiết kế được liệt kê trong Bảng 2. Bảng 2 cũng đồng thời trình bày các kết quả mô phỏng của mạch opamp ba tầng.

Bảng 1. Tham số linh kiện

Transistor	W/L
M3, M4	5 um / 0,5um
M1, M2	10 um / 0,5 um
Mc1, Mc2	3 um / 0,5 um
M5	5 um / 0,5 um
M3a, M4a	5 um / 0,5 um
M1a, M2a	20 um / 0,5 um
M5a	20 um / 0,5 um
M6	40 um / 0,5 um
M7	20 um / 0,5 um

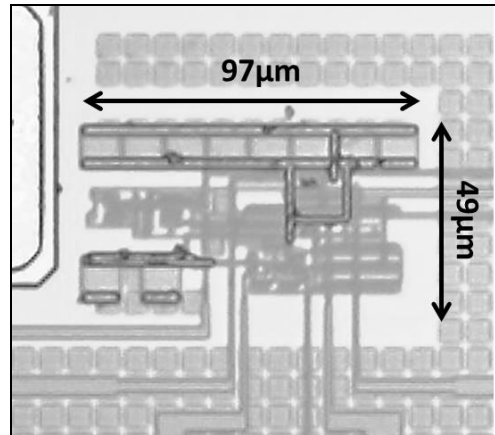
Bảng 2. Kết quả mô phỏng

	Yêu cầu	Mô phỏng mức mạch	Mô phỏng mức layout
Độ lợi DC vòng hở (A_v)	100dB	106.04dB	88.73dB
Tần số độ lợi đơn vị (f_u)	100MHz	90.363MHz	77.31MHz
Lề pha (PM)	>600	64.7350 ⁰	58.401 ⁰
f_{-3dB} (Gain=1)	30MHz	35.29MHz	34.578MHz
Tụ tải	5pF	5pF	5pF
Điện thế cung cấp	2V	2V	2V

Mạch opamp được thiết kế có dòng tiêu tán chỉ 303.5uA với công suất tổng cộng là 607 uW. Hình 7 trình bày vi ảnh của mạch opamp ba tầng đã được chế tạo và đóng gói dựa trên công nghệ CMOS 0,18 μm . Kích thước của mạch opamp trong chip là 97 μm x 49 μm .

Đo kiểm thực nghiệm

Các thiết lập thiết bị đo kiểm được trình bày trong Hình 8.



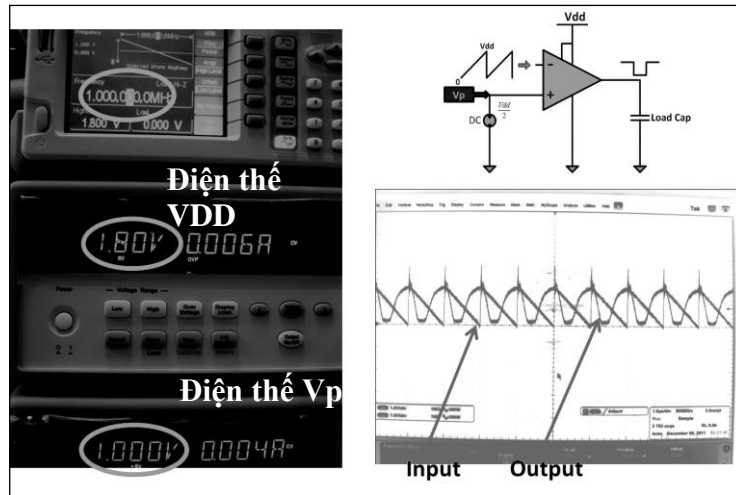
Hình 7. Vi ảnh mạch opamp ba tầng dùng transistor chia độ dài



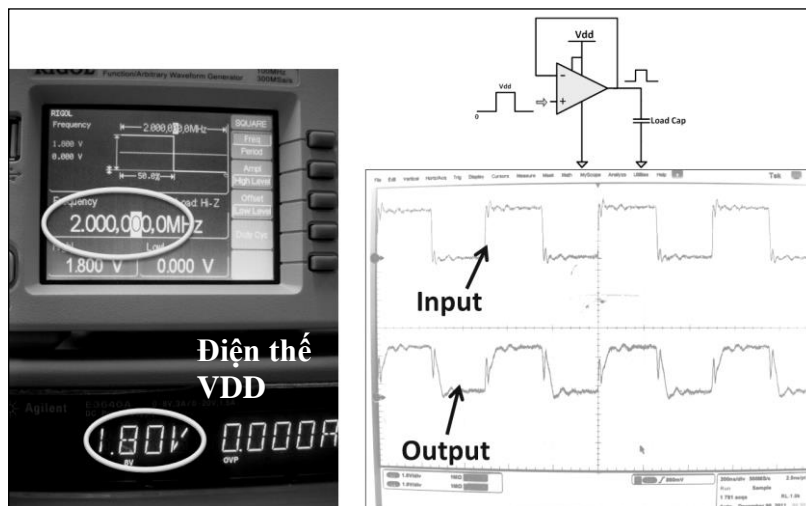
Hình 8. Hệ thống đo kiểm linh kiện

Các dây đo của máy đo sóng có điện dung ký sinh 8pF được kết nối vào ngõ ra của mạch nên đây cũng chính là giá trị tải điện dung của mạch. Hình 9 trình bày kết quả đo kiểm mạch opamp và sơ đồ mạch đo kiểm ở chế độ mạch so sánh. Trong chế độ đo này, điện thế cung cấp là 1,8V,

một sóng tam giác có tần số 1MHz được đưa vào ngõ vào V- và được so sánh với điện thế $V_p=1V$ tại ngõ V+ của opamp, kết quả đạt được ở ngõ ra là một xung vuông tần số 1MHz trong đó pha của xung phụ thuộc vào kết quả so sánh 2 ngõ vào opamp.



Hình 9. Kết quả đo mạch opamp ở chế độ so sánh (Load Cap = 8pF, VDD=1,8V, Vp=1V, f=1MHz)



Hình 10. Kết quả đo mạch opamp ở chế độ hồi tiếp âm (Load Cap = 8pF, VDD=1,8V, f=2MHz)

Hình 10 trình bày kết quả đo và sơ đồ mạch đo kiểm ở chế độ hồi tiếp âm. Ở chế độ đo này, mạch opamp được mắc như một bộ đệm với độ lợi là 1 (ngõ ra được hồi tiếp về ngõ vào V-), sóng vào ngõ V+ của opamp là một xung vuông có tần số 2MHz, điện thế cung cấp là 1,8V. Kết quả đo được là một sóng vuông cùng tần số, điều

này thể hiện mạch hoạt động được ở chế độ hồi tiếp âm.

Các kết quả mô phỏng và đo kiểm cho thấy thiết kế mạch opamp ba tầng có thể hoạt động ở điện thế thấp. Tuy nhiên, do ảnh hưởng của các ký sinh trong hệ thống đo, các đặc tính ở tần số cao còn sai biệt so với kết quả mô phỏng sau layout.

KẾT LUẬN

Nghiên cứu này của chúng tôi đã ứng dụng thành công mô hình transistor chia độ dài vào việc thiết kế và chế tạo một opamp ba tầng dựa trên công nghệ CMOS 0,18 μ m. Mô hình transistor chia độ dài giúp cho các thiết kế opamp ghép cascode có thể hoạt động ở điện thế thấp. Điều này đưa cho các thiết kế mạch tương tự một cơ hội để có thể bắt kịp với xu hướng phát triển của công nghệ CMOS hiện đại.

LỜI CẢM ƠN: Thiết kế này là kết quả hợp tác nghiên cứu giữa Trường ĐH Điện tử - Thông tin Tokyo (UEC, Nhật Bản) và Trường ĐH Khoa học Tự nhiên, ĐHQG-HCM. Thiết kế layout được sản xuất và đóng gói theo chương trình chế tạo chip của Trung tâm Thiết kế và Giáo dục VLSI (VDEC), Đại học Tokyo Nhật Bản. Kết quả nghiên cứu là một phần của đề tài T2013-17, được hỗ trợ bởi Trường ĐH Khoa học Tự nhiên, ĐHQG-HCM.

A design of low voltage OPAMP using split-length transistors

- **Le Trung Khanh**

- **Bui Trong Tu**

University of Science, Ho Chi Minh City

- **Le Duc Hung**

- **Pham Cong Kha**

University of Electro-Communication, Japan

ABSTRACT

In the paper, we present a design of a low voltage Operation Amplifier (OPAMP) circuit using split-length transistors. Indirect feedback compensation is an advanced technique used to stabilize the operation of an OPAMP. Cascode transistors are usually implemented for indirect feedback systems. However, these transistors are not suitable for low voltage design. In this study, we have taken advantage of split-length transistors

Key words: CMOS technology, opamp, transistor, cascode

and indirect feedback compensation technique to design a high performance OPAMP. As a result, the OPAMP operates not only at low supply voltage but also at high frequency. The OPAMP has been designed and fabricated in a 0.18 μ m CMOS technology. This OPAMP achieves 100 dB gain, 90 MHz unity gain frequency and 60 degrees phase margin at 2 V supply voltage.

TÀI LIỆU THAM KHẢO

[1]. P.J. Hurst, S.H. Lewis, J.P. Keane, F. Aram, K.C. Dyer, Miller compensation using current buffers in fully differential CMOS two-stage operational amplifiers, *IEEE*

Transactions on circuits and systems—i: regular papers, 51, 2, 275 (2004).

[2]. V. Saxena, R.J. Baker, Indirect compensation techniques for three - stage fully-differential

- op-amps, *Circuits and Systems (MWSCAS), 53rd IEEE International Midwest Symposium on*, 588 (2010).
- [3]. V. Saxena, Indirect feedback compensation techniques for multi-stage operational amplifiers, *Science in Electrical Engineering*, Boise State University (2007).
- [4]. A.D. Grasso, G. Palumbo, S. Pennisi, Advances in reversed nested miller compensation, *IEEE Transactions on circuits and systems-I, regular papers*, 54, 7, 1459 (2007).
- [5]. K.N. Leung, P.K.T. Mok, Analysis of multistage amplifier–frequency compensation, *IEEE Transactions on circuits and systems-I: fundamental theory and applications*, 48, 9, 1041 (2001).
- [6]. A.D. Grasso, Da. Marano, G. Palumbo, S. Pennisi, Improved reversed nested miller frequency compensation technique with voltage buffer and resistor, *IEEE Transactions on circuits and systems-II: express briefs*, 54, 5, 382 (2007)