

## PAiD - MỘT KHUNG SƯỜN CHO VIỆC THIẾT KẾ VÀ MÔ PHỎNG VI MẠCH BẮT ĐỒNG BỘ

Đinh Đức Anh Vũ

Trường Đại học Bách khoa, ĐHQG-HCM

(Bài nhận ngày 07 tháng 12 năm 2010, hoàn chỉnh sửa chữa ngày 20 tháng 04 năm 2011)

**TÓM TẮT:** Trái ngược với vi mạch đồng bộ, vi mạch bắt đồng bộ hoạt động theo cơ chế đồng bộ cục bộ (không cần có tín hiệu xung nhịp). Từ nhiều năm nay, vi mạch bắt đồng bộ đã chứng minh được tính quan trọng của nó trong việc thiết kế các hệ thống nhờ vào các tính chất: ít phụ thuộc vào thời gian trễ, công suất tiêu thụ thấp, ít nhiễu điện từ và có khả năng môđun hóa cao. Tuy nhiên, việc thiếu các phương pháp luận và công cụ hỗ trợ thiết kế là một rào cản cho việc phát triển các vi mạch bắt đồng bộ. Bài báo này đề xuất một phương pháp luận thiết kế vi mạch bắt đồng bộ mới và bộ công cụ hỗ trợ thiết kế. Phương pháp luận thiết kế được đề nghị một mặt cho phép mô tả vi mạch bằng một ngôn ngữ đặc tả vi mạch cấp cao và mặt khác cho phép tạo ra vi mạch ở mức cổng. Phương pháp luận này được kiểm nghiệm thông qua việc phát triển một số các công cụ hỗ trợ thiết kế vi mạch. Sự kết hợp giữa phương pháp luận thiết kế và các công cụ hỗ trợ thiết kế này tạo thành một môi trường phát triển tích hợp vi mạch, gọi là PAiD (“Project of Asynchronous circuit Design”). Môi trường này cho phép biên dịch và tổng hợp vi mạch, được mô tả bằng ngôn ngữ cấp cao ADL (“Asynchronous Description Language”), thành vi mạch bắt đồng bộ. Kết quả của bộ tổng hợp là một sơ đồ các cổng (netlist), mô tả chức năng hoạt động của vi mạch. Bản netlist này sau đó có thể được ánh xạ vào một thư viện các cổng theo công nghệ đặc thù cho vi mạch bắt đồng bộ. Trong quá trình thiết kế, vi mạch cũng có thể được kiểm tra thông qua các quá trình mô phỏng được thiết kế ở các mức trừu tượng khác nhau.

**Từ khóa:** Vi mạch bắt đồng bộ, phương pháp thiết kế, công cụ hỗ trợ thiết kế, tự động hóa thiết kế vi mạch.

### 1. GIỚI THIỆU

Ngành công nghiệp vi mạch tích hợp trong những thập kỷ gần đây đã có những bước phát triển nhanh chóng. Ngày nay người ta có thể tích hợp nhiều hệ thống phức tạp trên một con chip. Sự phát triển hướng đến mức tích hợp các hệ thống ngày càng cao xuất phát từ sự cần thiết phải có các hệ thống ngày càng hiệu quả hơn, nhẹ hơn, nhỏ gọn và tiêu thụ năng lượng ít hơn. Trong bối cảnh này, các vấn đề trở ngại

trong việc thiết kế mạch đồng bộ (như việc phân phối xung nhịp, năng lượng tiêu thụ, nhiễu, tính môđun) cho phép mạch bắt đồng bộ ngày càng trở nên thông dụng trong những năm gần đây. Là một giải pháp tự nhiên và vững chắc đối với các hạn chế liên quan đến vấn đề đồng bộ toàn cục, mạch bắt đồng bộ đã mở ra một hướng mới cho việc thiết kế các hệ thống phức tạp qui mô lớn. Công nghệ thiết kế bắt đồng bộ, tức công nghệ không dùng xung đồng

bộ, đã và đang là mối quan tâm hàng đầu của một số công ty công nghiệp, viện nghiên cứu và các trường đại học trên khắp thế giới từ vài năm qua. Một số loại vi mạch bất đồng bộ đã được nghiên cứu và phát triển, cho những kết quả rất khả quan. Nó cho thấy công nghệ thiết kế bất đồng bộ trong tương lai sẽ là một phong cách thiết kế cạnh tranh hứa hẹn với công nghệ thiết kế đồng bộ truyền thống ([1][8]).

Mặc dù mạch bất đồng bộ có những ưu điểm và tiềm năng to lớn, nhưng các qui trình thiết kế mạch bất đồng bộ vẫn chưa có nhiều. Giải quyết được các vấn đề này sẽ giúp vi mạch bất đồng bộ trở thành một trong các loại vi mạch được chọn lựa trong việc phát triển các sản phẩm, thiết bị kỹ thuật số ([2]).

Hiện nay, có 2 trường phái quan điểm chính trên thế giới trong việc phát triển vi mạch bất đồng bộ. Trường phái thứ nhất quan tâm việc áp dụng các phương pháp luận truyền thống của vi mạch đồng bộ cho việc phát triển vi mạch bất đồng bộ. Trường phái này có ưu điểm chính là tận dụng có tính thừa kế các kiến thức, kinh nghiệm thiết kế của các phương pháp luận, công cụ sẵn có và đã được kiểm nghiệm của vi mạch đồng bộ. Tuy nhiên, do bản chất hoàn toàn khác nhau của hai loại vi mạch, người thiết kế gặp rất nhiều khó khăn, nếu không nói là không thể trong một số ứng dụng, trong việc thiết kế các vi mạch đáp ứng các tiêu chuẩn của một vi mạch bất đồng bộ. Trường phái thứ hai tập trung nghiên cứu phương pháp luận riêng, phù hợp cho công nghệ bất đồng bộ. Trường phái này có những khó khăn ban đầu trong việc xây dựng các lý

thuyết phương pháp luận và công cụ hỗ trợ thiết kế. Tuy nhiên những kết quả đạt được sẽ tốt hơn, phù hợp cho vi mạch bất đồng bộ và quan trọng hơn là cho phép người thiết kế có nhiều chọn lựa – công nghệ, phương pháp – hơn trong công việc thiết kế.

Trong bối cảnh này, mục tiêu của đề tài tập trung vào 2 hướng: một mặt đưa ra được một phương pháp luận thiết kế và mặt khác phát triển các công cụ trợ giúp thiết kế. Hướng thứ nhất liên quan đến việc nghiên cứu một phương pháp luận thích hợp cho việc thiết kế, cho phép tạo ra mạch bất đồng bộ không có nhiều loại QDI (Quasi-Delay Insensitive). Hướng thứ hai là một hiện thực của phương pháp luận trên: phát triển một số các công cụ phần mềm hỗ trợ thiết kế. Cả 2 hướng nghiên cứu này phải được thực hiện trong mối quan hệ hỗ trợ với nhau. Phương pháp luận thiết kế vi mạch bất đồng bộ QDI và các công cụ hỗ trợ thiết kế sẽ tạo thành một khung sườn thiết kế (framework) cho các loại vi mạch bất đồng bộ.

Bài báo được cấu trúc thành 3 phần như sau. Phần 1 giới thiệu tổng quan về thiết kế mạch bất đồng bộ. Phần 2 đề xuất một phương pháp luận thiết kế vi mạch bất đồng bộ ở mức cao. Phần 3 trình bày một khung sườn cho việc thiết kế và mô phỏng vi mạch bất đồng bộ. Cuối cùng phần 4 kết luận về công trình.

## **2. PHƯƠNG PHÁP THIẾT KẾ VI MẠCH BẤT ĐỒNG BỘ**

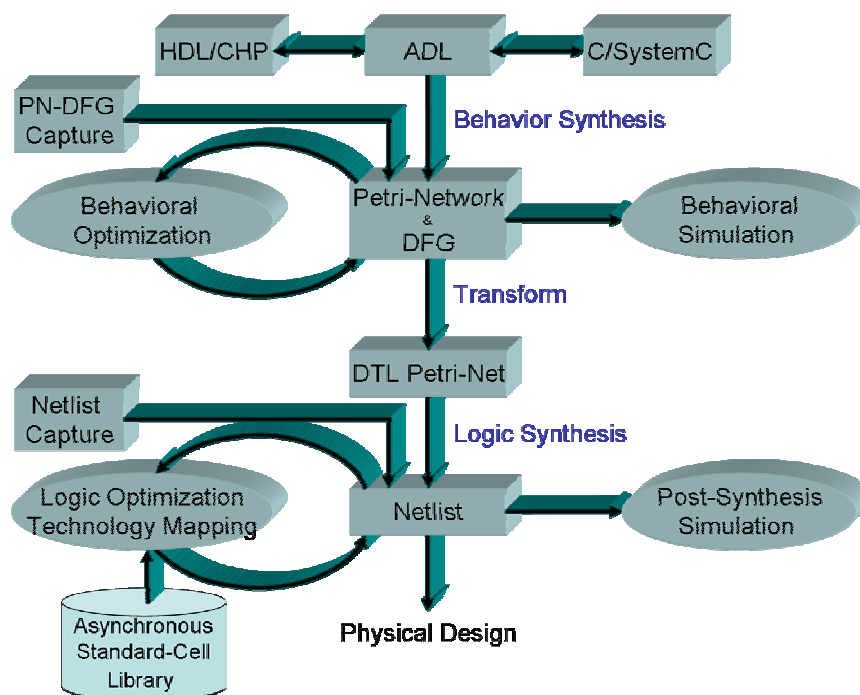
### **2.1. Phương pháp tiếp cận**

Đầu tiên nhóm nghiên cứu đi tìm hiểu về chế độ hoạt động bất đồng bộ và các ưu điểm cũng như nhược điểm của chế độ này so với

chế độ đồng bộ. Việc trao đổi thông tin giữa các khối mạch trong hệ thống bất đồng bộ được thực hiện nhờ vào các kênh truyền thông. Việc giao tiếp trên các kênh truyền được đồng bộ cục bộ nhờ vào cách mã hóa dữ liệu và giao thức theo kiểu bắt tay. Để hiện thực giao thức như vậy, người ta phải dùng khái niệm công Muller. Cơ chế giao tiếp bất đồng bộ có một đặc tính quan trọng khiến hệ thống không phụ thuộc vào thời gian tính toán các tác vụ của các khối mạch. Điều này có ý nghĩa là các khối mạch bất đồng bộ được điều khiển bởi các sự kiện trên các kênh truyền của nó. Chính vì vậy mà các mạch bất đồng bộ phải không được tạo ra nhiều. Dựa vào mô hình thời gian trễ của các cổng và dây nối, cũng như dựa vào chế độ hoạt động (hành vi của mạch trong việc quan hệ với

môi trường bên ngoài), người ta có thể đưa các ràng buộc đơn giản hóa cho việc thiết kế mạch bất đồng bộ. Các ràng buộc này đặc trưng cho các lớp mạch bất đồng bộ khác nhau và giúp phân biệt chúng với nhau.

Nhóm nghiên cứu cũng nghiên cứu tổng quan đa chiều về các phương pháp luận thiết kế vi mạch và các công cụ trợ giúp thiết kế đi kèm của nó. Một cách tổng quát, có 2 phương pháp được dùng để đặc tả vi mạch bất đồng bộ: phương pháp đặc tả dùng ngôn ngữ mô tả cấp cao và phương pháp dùng đồ thị. Phương pháp tổng hợp vi mạch bất đồng bộ có thể được phân làm 3 loại: phương pháp tổng hợp theo cú pháp, phương pháp tổng hợp luận lý và phương pháp tổng hợp bằng biên dịch.



Hình 1. Quy trình thiết kế PAiD

## 2.2. Phương pháp luận thiết kế vi mạch bất đồng bộ

Phương pháp luận thiết kế vi mạch bất đồng bộ được đề nghị trong bài báo này bao gồm phương pháp đặc tả vi mạch bất đồng bộ ở mức trừu tượng cao và phương pháp tổng hợp bản đặc tả cấp cao để tạo ra mạch hiện thực ở mức cổng. Quy trình thiết kế vi mạch trong PAiD có thể được tóm tắt trong Hình 1.

### 2.2.1. Phương pháp đặc tả

Các ngôn ngữ đặc tả cấp cao rất thích hợp cho việc mô tả các chức năng toàn cục của hệ thống phức tạp có cấu trúc phân cấp và có tính modun mà không phải quan tâm đến chi tiết hiện thực (giao thức truyền thông, mô hình vi mạch, ...). Trong khi các đồ thị thường được sử dụng cho các phân tích thời gian và quá trình tổng hợp. Việc kết hợp cả hai cách tiếp cận trên cho phép chúng ta có thể vừa mô tả các hệ thống phức tạp, vừa thuận tiện cho việc phân tích thời gian, tổng hợp và tối ưu hóa vi mạch tạo ra.

Một ngôn ngữ đặc tả cấp cao được dùng cho việc mô hình hóa vi mạch bất đồng bộ phức tạp nhờ vào mức trừu tượng cao của nó. Tuy nhiên, các đặc tả này thường không thể được tự động tổng hợp thông qua các công cụ tổng hợp. Các công cụ tổng hợp và các công nghệ đích thường áp đặt một vài ràng buộc (giới hạn) lên các đặc tả để các đặc tả này có khả năng tổng hợp. Do đó người ta thường phải định nghĩa một tập con của ngôn ngữ có khả năng tổng hợp theo một công cụ tổng hợp nào đó.

Với mục tiêu phương pháp đặc tả mạch bất đồng bộ trong đề tài này được nhắm đến không chỉ cho vấn đề tổng hợp mà còn cho vấn đề mô phỏng, kiểm tra, nhóm nghiên cứu đã giới thiệu một ngôn ngữ cấp cao ADL (“Asynchronous Description Language”) ([9]). Đây là ngôn ngữ cho phép đặc tả mạch bất đồng bộ dựa trên các quá trình giao tiếp đồng thời. Trên cơ sở ngôn ngữ CHP do trường Caltech giới thiệu, ngôn ngữ ADL này không những khắc phục và giải quyết được các nhược điểm của CHP mà còn được bổ sung thêm một số cấu trúc cũng như một số ràng buộc để thích hợp trong việc đặc tả cấp cao vi mạch bất đồng bộ. Cú pháp hoàn chỉnh của ngôn ngữ này được trình bày trong [4].

Từ bản đặc tả cấp cao, nhóm nghiên cứu trình bày định dạng biểu diễn trung gian cho mạch bất đồng bộ. Định dạng này là sự kết hợp của mạng Petri và đồ thị dòng dữ liệu DFG (“Data Flow Graph”). Nhóm nghiên cứu cũng đề nghị một dạng đặc tả khả tổng hợp dưới dạng các luật DTL (“Data Transfer Level”), giới hạn việc sử dụng các phần tử nhớ trong mạch ([9]). Mạch bất đồng bộ được mô tả bằng ngôn ngữ ADL sẽ được tổng hợp tự động nếu bản đặc tả tuân thủ các luật DTL. Một số phép biến đổi cũng được nhóm nghiên cứu đề nghị trong trường hợp bản đặc tả không thỏa mãn các luật DTL.

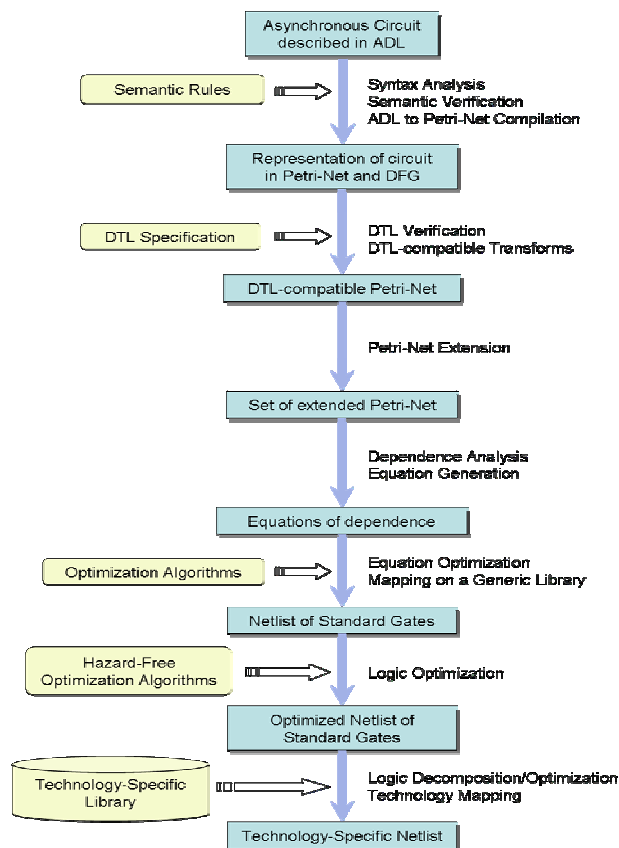
### 2.2.2. Phương pháp tổng hợp

Phương pháp tổng hợp được đề nghị trong nghiên cứu này được tóm tắt trong Hình 2. Quy trình bắt đầu từ bản đặc tả bằng ngôn ngữ cấp cao ADL của vi mạch cần thiết kế. Bản đặc tả

này sẽ được bộ parser phân tích theo từ vựng và cú pháp. Quá trình phân tích này cùng với các phép kiểm tra ngữ nghĩa theo một số luật được định nghĩa trước, sẽ tạo ra cấu trúc biểu diễn trung gian. Kết hợp giữa mạng Petri và đồ thị dòng dữ liệu, cấu trúc trung gian này cho phép biểu diễn tính phân cấp của các thành phần, cho phép đặc tả phần điều khiển cũng như phần dòng dữ liệu trong một thiết kế. Từ cấu trúc này, các công cụ back-end sẽ tạo ra mạch hiện thực. Ngoài ra, cấu trúc này còn phân biệt ranh giới giữa phần front-end và back-end của hệ thống. Ưu điểm của ranh giới này là chúng ta có thể dễ dàng thêm vào một

trình biên dịch, cho phép biên dịch đặc tả của mạch dưới dạng một ngôn ngữ khác; hoặc thêm vào một công cụ back-end cho phép tạo ra loại mạch hiện thực khác mà không cần thay đổi phần kia. Đây là một hướng mở rộng của đề tài trong tương lai.

Mạng Petri sau đó sẽ được kiểm tra theo các đặc tả DTL. Bước kiểm tra này để đảm bảo mạng Petri có khả năng tổng hợp được và tồn tại một giải pháp hiện thực QDI của mạch. Mạng Petri này tiếp tục được mở rộng bằng cách phân rã tất cả các nhánh, để thu được một tập hợp các mạng Petri, trong đó mỗi mạng biểu diễn một nhánh của thiết kế ban đầu.



Hình 2. Quy trình tổng hợp vi mạch bất đồng bộ

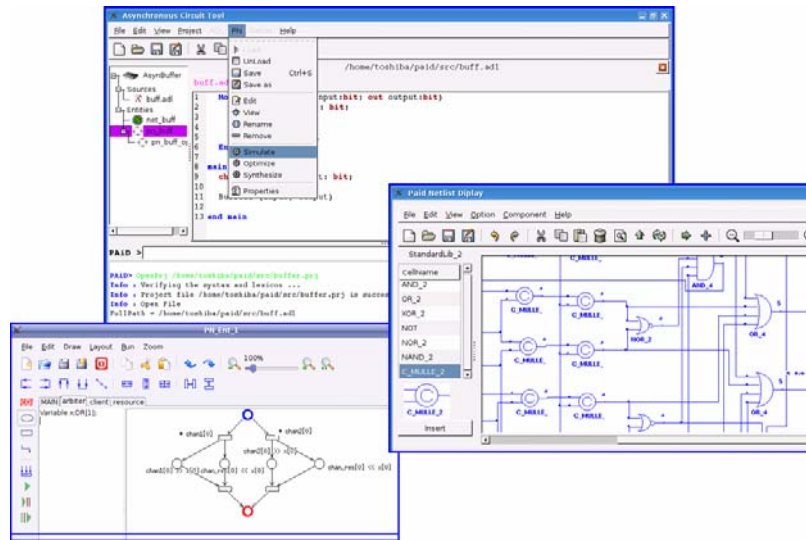
Nhóm nghiên cứu đã đưa ra một số thuật toán để khảo sát cấu trúc mạng Petri và đồ thị dòng dữ liệu, để tìm ra tất cả mối quan hệ giữa các kênh truyền thông trong mạch. Các mối quan hệ này được biểu diễn dưới dạng các phương trình phụ thuộc. Các phương trình này không phụ thuộc vào giao thức truyền thông và công nghệ hiện thực đích.

Từ các phương trình phụ thuộc này, quá trình tổng hợp sẽ được triển khai với giao thức truyền thông và công nghệ đích chọn lựa trước. Mạch hiện thực QDI của nhiều tác vụ khác nhau được trình bày. Việc hiện thực này cho phép tạo ra sơ đồ các cổng (netlist) của mạch theo một thư viện tổng quát. Giải pháp này thích hợp cho việc làm mẫu nhanh vi mạch bất đồng bộ mà không cần các cổng đặc thù riêng cho mạch bất đồng bộ. Mặt khác, netlist này sẽ được tối ưu và ánh xạ vào một thư viện theo một công nghệ cho trước. Để đảm bảo tính

đúng đắn của mạch đối với các nhiễu (hazard), các kỹ thuật tối ưu, phân rã và ánh xạ công nghệ không chỉ không được tạo ra các nhiễu mà còn phải đảm bảo các rẽ nhánh đồng đẳng ([5]).

### 3. MÔI TRƯỜNG THIẾT KẾ TÍCH HỢP CHO VI MẠCH BẤT ĐỒNG BỘ - PAiD

Nhằm cung cấp các công cụ dễ dàng sử dụng cho việc thiết kế vi mạch bất đồng bộ, PAiD có thể được xem như một bộ biên dịch nhiều ngõ vào (triển vọng phát triển trong tương lai) và nhiều mục tiêu, được tổ chức dựa trên một biểu diễn trung gian bằng mạng Petri và đồ thị dòng dữ liệu DFG. Đầu vào là những bản đặc tả dùng ngôn ngữ mô tả mạch cấp cao ADL. Ở ngõ xuất, PAiD cho phép tạo ra nhiều định dạng ngõ xuất như bản mô tả hành vi bằng ngôn ngữ các ngôn ngữ HDL, C hoặc bản mô tả phần cứng ở mức cổng bằng ngôn ngữ HDL hoặc định dạng netlist EDIF ([3][6]).



Hình 3. Môi trường thiết kế và phát triển vi mạch bất đồng bộ PAiD

Hình 3 trình bày front-end của môi trường PAiD. Thực ra đây là một trình biên dịch, cho phép biên dịch và biến đổi mã nguồn ADL của hệ thống bất đồng bộ thành tập hợp các mạng Petri và đồ thị dòng dữ liệu DFG. Ngôn ngữ ADL cho phép mô tả mạch dựa trên khái niệm các quá trình đồng thời giao tiếp với nhau thông qua các kênh truyền thông như của CSP. Mạng Petri cho phép dùng cấu trúc điều khiển và cấu trúc chọn lựa (tuần tự và song song) để mô tả ngữ nghĩa hoạt động của bản đặc tả, trong khi đồ thị DFG được dùng để biểu diễn sự phụ thuộc dữ liệu.

Phần back-end của môi trường PAiD dựa trên định dạng trung gian để tạo ra các mô hình mạch đích. Đầu tiên, mô hình hành vi tương đương theo VHDL của mạch sẽ được tạo ra để cho phép kiểm tra chức năng của mạch với các công cụ thương mại có sẵn. Song song đó, một mô hình tương đương theo ngôn ngữ C cũng được tạo ra để kiểm tra việc mô tả theo ngôn ngữ ADL bằng cách mô phỏng hành vi dưới hệ điều hành Unix/Linux ([7]). Việc tổng hợp vi mạch bất đồng bộ dựa vào đặc tả DTL mà thực chất là tập hợp các luật để đảm bảo bản mô tả mạch theo ADL có khả năng tổng hợp. Hiện tại, mạch tạo ra thông qua quá trình tổng hợp thuộc lớp mạch QDI. Tuy nhiên các lớp mạch khác (ví dụ micropipeline) cũng có thể được mở rộng đến trong tương lai. Vi mạch QDI tạo ra được biểu diễn ở mức cổng dưới dạng một netlist bằng VHDL hoặc EDIF (cho cả phần điều khiển và phần dòng dữ liệu). Trong công trình này, các kênh truyền thông sử dụng cách

mã hóa không phụ thuộc thời gian trễ (DI – Delay Insensitive) và giao thức bắt tay 4 pha.

Môi trường PAiD được phát triển bằng ngôn ngữ ANSI C, bao gồm hơn 50.000 dòng chương trình với một số thư viện API có thể được tái sử dụng cho việc phát triển các công cụ khác trong tương lai. Việc sử dụng ANSI C cho phép môi trường PAiD không phụ thuộc vào hệ điều hành. Nó có thể được biên dịch và chạy trên các hệ điều hành Windows/Linux/Unix.

#### 4. KẾT LUẬN

Bài báo đã trình bày phương pháp luận thiết kế vi mạch bất đồng bộ và các công cụ thiết kế cho phép thiết kế các hệ thống vi mạch bất đồng bộ. Phương pháp luận thiết kế vi mạch bất đồng bộ và các công cụ trợ giúp thiết kế tạo thành một môi trường thiết kế (framework) cho các loại vi mạch bất đồng bộ.

Tác giả đã đề xuất một qui trình thiết kế từ trên xuống, bắt đầu từ bản đặc tả vi mạch ở mức độ trừu tượng cao. Thông qua các quá trình biến đổi được thực hiện bởi các công cụ tự động, vi mạch sẽ được biến đổi từ mức trừu tượng cao dần đến mức trừu tượng thấp – mức cổng. Qui trình này cũng đề nghị các khả năng mô phỏng cho phép kiểm tra chức năng vi mạch ở những bước đặc tả khác nhau. Tác giả cũng đã phát triển các công cụ trợ giúp thiết kế, hiện thực hóa của các phương pháp đã được trình bày. Đây là một môi trường thiết kế bao gồm một chương trình biên dịch, một chương trình mô phỏng, một chương trình tổng hợp và một chương trình hiển thị, chỉnh sửa mạch. Môi trường này đã được dùng trong việc thiết

kể một số ứng dụng cụ thể mang tính minh họa toán DES, ...  
như bộ lọc số, bộ mã hóa/giải mã theo thuật

## PAID – A NOVEL FRAMEWORK FOR DESIGN AND SIMULATION OF ASYNCHRONOUS CIRCUITS

Dinh Duc Anh Vu

University of Technology, VNU-HCM

**ABSTRACT:** *Contrary to the synchronous circuits, the asynchronous circuits operate with a mechanism of local synchronization (without clock signal). For many years, they showed their relevance with respect to the synchronous circuits thanks to their properties of robustness, low power, low noise and modularity. However, the lack of design methods and associated tools prevents them from being widely spread. This paper deals with a new design methodology for integrated asynchronous circuits and EDA tools. The suggested design method allows on one hand to model circuits in a high-level language, and on the other hand to generate circuits using only elementary logical gates and Muller gates. This method was prototyped by the development of an EDA design tool for asynchronous circuits. The combination of design methodologies and supporting tools creates a design framework for asynchronous circuits, namely PAiD ("Project of Asynchronous Circuit Design"). This framework allows compilation and synthesis of circuits, described by high-level language ADL ("Asynchronous Description Language"), to generate asynchronous circuits. The result of the synthesizer is a functional netlist of the circuits. This netlist can be then mapped to a specific-technology gate library for asynchronous circuits. During the design process, the circuit can be tested through the simulation process in different levels of abstraction.*

**Keywords:** *Asynchronous circuits, integrated-circuit design methodology, CAD tools, EDA*

### TÀI LIỆU THAM KHẢO

- [1]. Scott Hauck. Asynchronous design methodologies: An overview. Proceedings of the IEEE, 83(1):69-93, January 1995
- [2]. Dinh-Duc, A.V. A New Style in ASIC Design with Asynchronous Circuits. In Proceedings of the 2nd National

Symposium on Research, Development and Application of Information and Communication Technology, Hanoi, Vietnam, September 24-25, 2005, pp.14-25

- [3]. Pham Q.C., Nguyen-Vu T.N., Dinh-Duc A.V. and Pham H.A. Placement and Routing Algorithms for Asynchronous



Logic Circuits. Special Issue of the Science and Technology Development Journal, Vol. 10, (13) 2007, VNU-HCM Press, ISSN 1859-0128, pp. 79-87.

[4]. Tran H.H., Ho T.L. and Dinh-Duc, A.V., PETRI-DFG - an intermediate representation of asynchronous circuits. In Proceedings of the 10th Conference on Science and Technology, October 24, 2007, HoChiMinh, Vietnam.

[5]. Dam-Thi T.H., Bui V.H. and Dinh-Duc A.V. Automatic Technology Mapping for Quasi Delay-Insensitive (QDI) Asynchronous Circuits. In Proceedings of International Workshop on Advanced Computing and Applications (ACOMP), HoChiMinh, Vietnam, March 14-16, 2007, pp. 23-32.

[6]. Pham, Q.C., Nguyen-Vu T.N., Dinh-Duc A.V. and Pham H.A. Placement and Routing Algorithms for Asynchronous Logic Circuits. In Proceedings of International Workshop on Advanced

Computing and Applications (ACOMP), HoChiMinh, Vietnam, March 14-16, 2007, pp. 178-186.

[7]. Nguyen-Thanh L., Phan K.P. and Dinh-Duc A.V. Behavior-Level Simulation of Asynchronous Circuits. In Proceedings of International Workshop on Advanced Computing and Applications (ACOMP), HoChiMinh, Vietnam, March 14-16, 2007, pp. 80-85

[8]. Dinh-Duc, A.V., Asynchronous: a new approach for SoC design. In Proceedings of the 9th Conference on Science and Technology, October 10, 2005, HoChiMinh, Vietnam, pp. 82-88.

[9]. Dinh-Duc, A.V., Laurent Fesquet and Marc Renaudin. A New Language-based Approach for Specification of Asynchronous Systems. In Proceedings of the 3rd International Conference in CS: Research, Innovation and Vision of the Future (RIVF), Cantho, Vietnam, February 21-24, 2005, pp.224-229.