

THIẾT KẾ BỘ ĐỒNG XỬ LÝ TÍN HIỆU SỐ THỰC HIỆN BIẾN ĐỔI WAVELET TRÊN ẢNH TĨNH

Võ Kỳ Châu

Bộ môn Kỹ thuật Điện tử, khoa Điện – Điện tử, trường Đại học Bách Khoa Tp.HCM
(*Bài nhận ngày 01 tháng 03 năm 2005, hoàn chỉnh sửa chữa ngày 05 tháng 05 năm 2005*)

TÓM TẮT: Bài viết này trình bày thiết kế của một bộ đồng xử lý (được đặt tên là DIPC-1) thực hiện biến đổi wavelet rời rạc (DWT-2D) cho ảnh tĩnh dựa trên FPGA. Bộ đồng xử lý có thể giao tiếp với một đơn vị điều khiển trung tâm như DSP, vi xử lý, ... Wavelet LeGall 5/3 được chọn để thực hiện biến đổi. Thiết kế được viết bằng VHDL, mô phỏng trên ModelSim, tổng hợp và chạy trên Spartan-III của Xilinx bằng ISE Foundation.

Từ khóa : Wavelets, DWT, FPGA, VHDL.

I. GIỚI THIỆU

Trong lĩnh vực xử lý ảnh, biến đổi wavelet rời rạc đang là lựa chọn hàng đầu cho tăng biến đổi ảnh. Nếu như trước đây chuẩn nén ảnh JPEG dùng biến đổi DCT thì chuẩn JPEG-2000 chọn biến đổi wavelet LeGall 5/3 là một trong hai cách để thực hiện biến đổi ảnh.

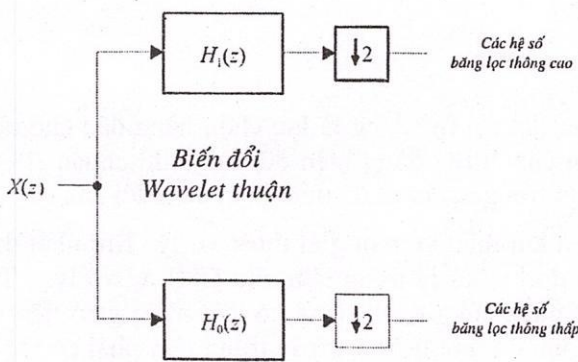
Có hai phương pháp thường được chọn khi thiết kế một giải thuật xử lý. Thứ nhất thiết kế có thể được tích hợp vào phần mềm của đơn vị xử lý trung tâm như DSP, vi xử lý, ... Thứ hai thiết kế có thể được xây dựng như một phần cứng dành riêng có khả năng giao tiếp với đơn vị điều khiển trung tâm. Phương pháp đầu đòi hỏi đơn vị xử lý trung tâm phải có tốc độ phù hợp và phải dành một khoảng thời gian đủ dài cho quá trình thực hiện biến đổi bên cạnh việc điều khiển các thành phần khác trong hệ thống. Phương pháp sau sẽ có thể giải phóng đơn vị điều khiển trung tâm khỏi các tính toán phức tạp của giải thuật mà chỉ cần tập trung cho việc quản lý chung trên hệ thống.

Với thiết kế của đề tài, giải thuật biến đổi wavelet LeGall 5/3 được xây dựng trong phần cứng của FPGA, hoạt động song song với đơn vị điều khiển trung tâm. Các tín hiệu điều khiển của bộ đồng xử lý DIPC-1 được thiết kế như của một ngoại vi thông thường, do đó vi mạch có thể làm việc được với nhiều đơn vị điều khiển trung tâm khác nhau. Thiết kế được viết bằng VHDL sau đó được mô phỏng trên ModelSim 5.7g và tổng hợp trên Spartan-III của Xilinx dùng ISE 6.1i. Các kết quả tổng hợp như kích thước và tần số làm việc tối đa của thiết kế cũng sẽ được phân tích trong bài viết.

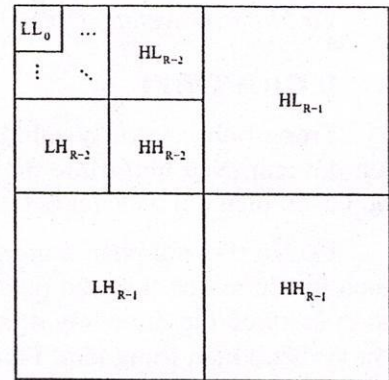
II. BIẾN ĐỔI WAVELET RỜI RẠC, BIẾN ĐỔI WAVELET TRÊN ẢNH VÀ WAVELET LEGALL 5/3

Biến đổi wavelet rời rạc (DWT) thực hiện chuyển một tín hiệu rời rạc được biểu diễn trong miền thời gian sang miền thời gian – tần số. Kết quả của DWT là một tập hợp các hệ số, chúng không chỉ biểu diễn phổ của tín hiệu mà còn biểu diễn được dạng của phổ theo thời gian. Quá trình biến đổi có thể được thực hiện bằng cách tách tín hiệu thành hai phần, mỗi phần là kết quả của việc đưa tín hiệu qua một bộ lọc theo sau là quá trình lấy mẫu xuống. Phần thô của tín hiệu sẽ nhận được khi cho tín hiệu đi qua bộ lọc thông thấp, phần này chứa các thông tin biến đổi chậm của tín hiệu, thường gần giống như tín hiệu ban đầu, nhưng chỉ gồm một nửa số mẫu so với tín hiệu nguyên thủy. Thành phần chi tiết, nhận được khi cho tín hiệu đi qua bộ lọc thông cao, thể hiện các thông tin về sự biến đổi nhanh của tín hiệu. Thành phần này thường không mang nhiều thông tin có ý nghĩa về tín hiệu ban đầu. Hình 1 trình bày quá trình biến đổi wavelet rời rạc. Trong xử lý âm thanh hoặc hình ảnh, một số mẫu của thành phần chi tiết có thể bị loại bỏ mà không gây ảnh hưởng nhiều lên chất lượng tín hiệu.

Với các tín hiệu hai chiều như hình ảnh, biến đổi wavelet rời rạc cho ảnh sẽ được thực hiện bằng cách dùng các bộ lọc một chiều để tính cho hàng trước sau đó mới tính cho cột (hoặc ngược lại). Bộ đồng xử lý được xây dựng ở đây thực hiện phân tích trên hàng trước sau đó mới đến cột. Do đó, quá trình phân tích có thể bắt đầu ngay khi đọc hàng đầu tiên của dữ liệu ảnh. Giả sử ảnh nguyên thủy có kích thước $N \times M$. Đầu tiên, từng hàng của ảnh sẽ đi qua các bộ lọc thông thấp và thông cao, tiếp theo là quá trình lấy mẫu xuống để tạo nên hai ảnh có kích thước $N \times M/2$. Kế đó, mỗi cột của ảnh cũng sẽ được lọc và lấy mẫu xuống để tạo ra bốn ảnh có kích thước $N/2 \times M/2$. Bốn ảnh này được ký hiệu là ảnh LL, LH, HL và HH tùy theo ảnh có được từ bộ lọc hàng và cột là thông cao hay thông thấp. Ảnh LL (có được từ các hệ số của bộ lọc thông thấp cả trên hàng và trên cột) có thể tiếp tục được phân tích như trên ở mức tiếp theo để tạo ra bốn ảnh con khác. Hình 2 mô tả quá trình biến đổi ảnh này.



Hình 1. Quá trình biến đổi wavelet thuận



Hình 2. Cấu trúc băng con của ảnh

Chuẩn nén JPEG-2000 đề nghị wavelet LeGall 5/3, còn được gọi là wavelet 5/3, là wavelet được dùng trong giai đoạn biến đổi ảnh. Đây là biến đổi có thể đảo ngược trên số nguyên với các hệ số thông thấp biểu diễn thành phần thô (hệ số chẵn) và hệ số thông cao biểu diễn thành phần chi tiết (hệ số lẻ) được tính như sau

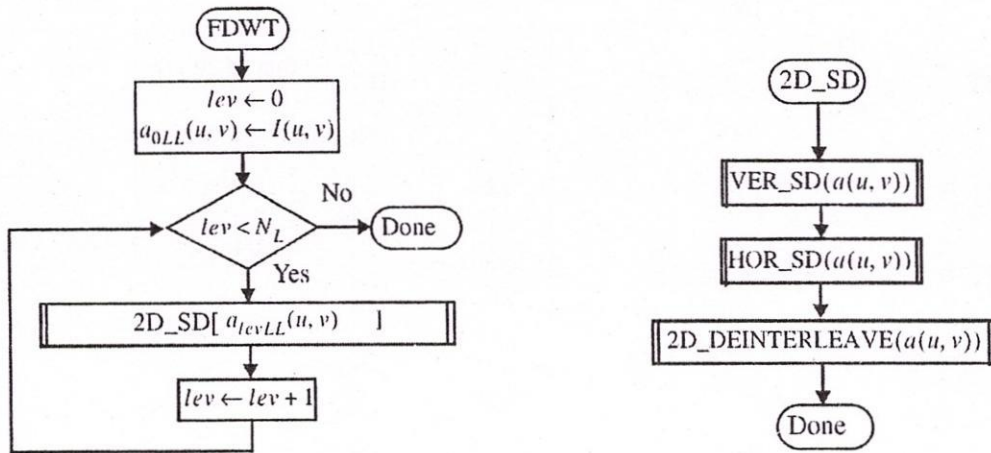
$$Y(2n+1) = X(2n+1) - \left\lfloor \frac{X(2n) + X(2n+2)}{2} \right\rfloor$$

$$Y(2n) = X(2n) + \left\lfloor \frac{Y(2n-1) + Y(2n+1) + 2}{4} \right\rfloor$$

III. CẤU TRÚC BỘ ĐỒNG XỬ LÝ DIPC-1

Bộ đồng xử lý DIPC-1 bao gồm 3 khối chính: đơn vị tính hệ số wavelet (RWTU); đơn vị tạo địa chỉ dữ liệu 1 chiều và điều khiển truy xuất vào bộ nhớ ảnh (DAG1-DMAU); và đơn vị tạo địa chỉ cho dãy dữ liệu 2 chiều và điều khiển giao tiếp (DAG2-IOCU). Thiết kế của mỗi đơn vị được xây dựng với mục đích là giảm thiểu số lần truy xuất bộ nhớ (thường là thao tác tốn thời gian nhất) và đảm bảo sự chính xác trên kết quả.

Theo chuẩn JPEG-2000 [2], biến đổi wavelet thuận cho ảnh sẽ được thực hiện trên các hàng bằng thủ tục VER_SD, sau đó đến từng cột của ảnh bằng thủ tục HOR_SD. Trên mỗi hàng hoặc cột, giải thuật tính biến đổi wavelet được thực hiện theo cơ chế lifting bằng thủ tục 1D_SD (mở rộng đối xứng được dùng để xử lý biên). Quá trình tính các hệ số chi tiết và thô gồm hai tầng. Trong tầng thứ nhất, các hệ số chi tiết sẽ được tính dựa trên mẫu lẻ hiện thời và hai mẫu chẵn hai bên. Sau đó, các hệ số biểu diễn phần thô sẽ được tính dựa trên mẫu chẵn hiện thời và hai hệ số lẻ đã tính trong tầng thứ nhất. Cuối cùng các hệ số sẽ được sắp xếp vào các băng con tương ứng bằng thủ tục 2D_DEINTERLEAVE. Quá trình này lặp lại cho các băng con LL ở mức tiếp theo.



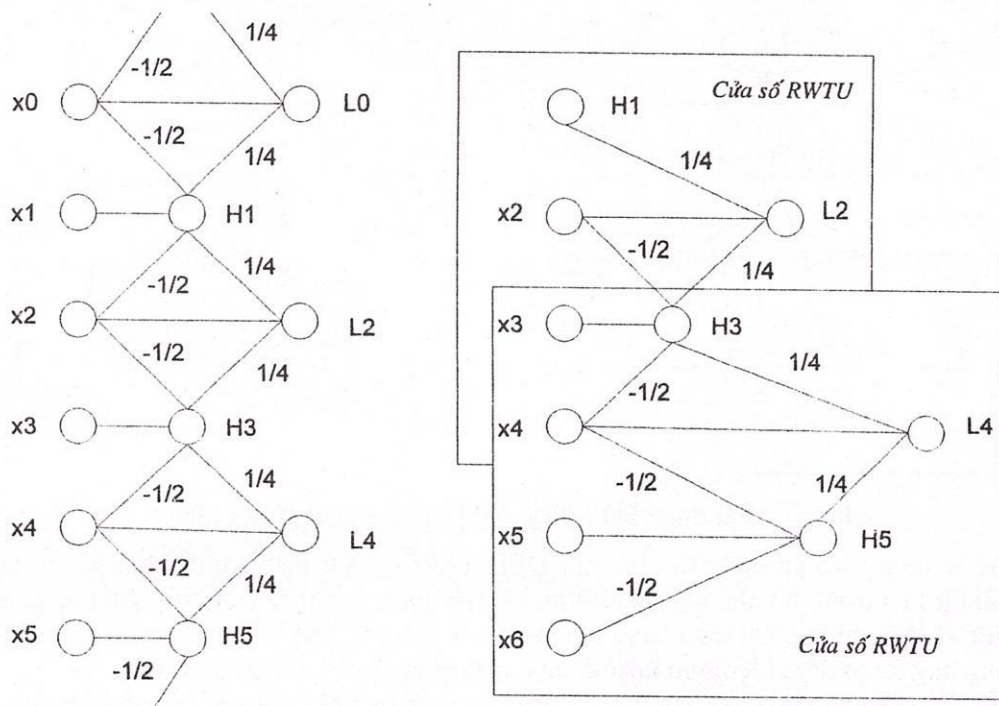
Hình 3. Giải thuật FDWT đề nghị trong chuẩn JPEG-2000

Trước tiên, việc sử dụng thủ tục 2D_DEINTERLEAVE tách rời đòi hỏi số lần cần để truy xuất dữ liệu trong bộ nhớ ảnh sẽ rất lớn. Để làm giảm bớt thời gian truy xuất bộ nhớ, cấu trúc DIPC-1 thực hiện phân tách băng con ngay khi từng cặp hệ số chi tiết và thô được tính. Khả năng này được thực hiện nhờ hoạt động của đơn vị DAG1-DMAU. Đơn vị này thực hiện tính biến đổi wavelet cho dãy mẫu một chiều. Các thông số như địa chỉ bắt đầu, khoảng cách mẫu,... sẽ được cung cấp cho DAG1-DMAU nhờ đơn vị DAG2-IOCU. Để có thể phân tách băng con ngay khi tính hệ số, thiết kế của DIPC-1 yêu cầu có một bộ nhớ với kích thước lớn gấp đôi so với dung lượng thực sự cần để lưu ảnh.

Bên cạnh đó, việc tính biến đổi wavelet dùng cơ chế lifting với hai tầng tính toán mặc dù có ưu điểm là chỉ sử dụng một bộ nhớ bằng với kích thước ảnh nhưng đòi hỏi là số lần cần phải truy xuất bộ nhớ sẽ tăng lên gấp đôi so với kích thước ảnh. Để giảm bớt số lần truy xuất bộ nhớ và tăng tốc độ thực thi, đơn vị RWTU đảm bảo hai hệ số chi tiết và thô sẽ được tính mà chỉ cần đọc hai mẫu mới. Khả năng này được thực hiện bằng cách dùng kỹ thuật mà DIPC-1 đặt tên là cửa sổ RWTU. Cửa sổ RWTU gồm 4 mẫu, trong đó hai mẫu đã được tính từ lần đọc trước sẽ được giữ lại cho lần tính tiếp theo mà không cần phải truy xuất lại bộ nhớ một lần nữa. Nói cách khác, số lần truy xuất bộ nhớ ảnh sẽ giảm xuống xấp xỉ kích thước của ảnh. Hình 4 so sánh cách tính biến đổi wavelet bằng cơ chế lifting 2 tầng và bằng RWTU. Nhờ RWTU, DIPC-1 giảm bớt số xung clock cần để tính cho một hệ số xuống còn hơn một nửa so với thiết kế trong [6] (5 xung so với 7 xung clock cho hai hệ số). Trong thiết kế hiện thời của DIPC-1, bộ nhớ ảnh và bộ nhớ băng con được xem như là nằm trong cùng một vi mạch do đó không thể thực hiện thao tác đọc và ghi đồng thời. Nếu bộ nhớ băng con và bộ nhớ ảnh được thiết kế tách rời nhau trong phần cứng, thời gian tính sẽ chỉ còn 2 xung clock cho 2 hệ số, tức là giảm còn một nửa so với thiết kế DIPC-1 hiện tại. So với thiết kế [7], RWTU chỉ dùng một nửa số tài nguyên mà vẫn đạt được cùng hiệu quả về số clock cần để tính hệ số.

Cuối cùng, quá trình tính trên các hàng và cột của DAG1-DMAU sẽ được giám sát bằng đơn vị DAG2-IOCU. Đơn vị này có nhiệm vụ xác định vị trí bắt đầu của các dãy mẫu 1 chiều, kích thước dãy mẫu, khoảng cách giữa hai mẫu liên tiếp cũng như các thông số liên quan đến địa chỉ các băng con để cung cấp cho DAG1-DMAU.

Tất cả các thông số trao đổi giữa các đơn vị thực thi đều được thực hiện thông qua một tập các thanh ghi hệ số. Các thanh ghi này có thể được truy xuất bằng đơn vị điều khiển trung tâm, do đó DIPC-1 có được sự linh động cao trong cấu hình.



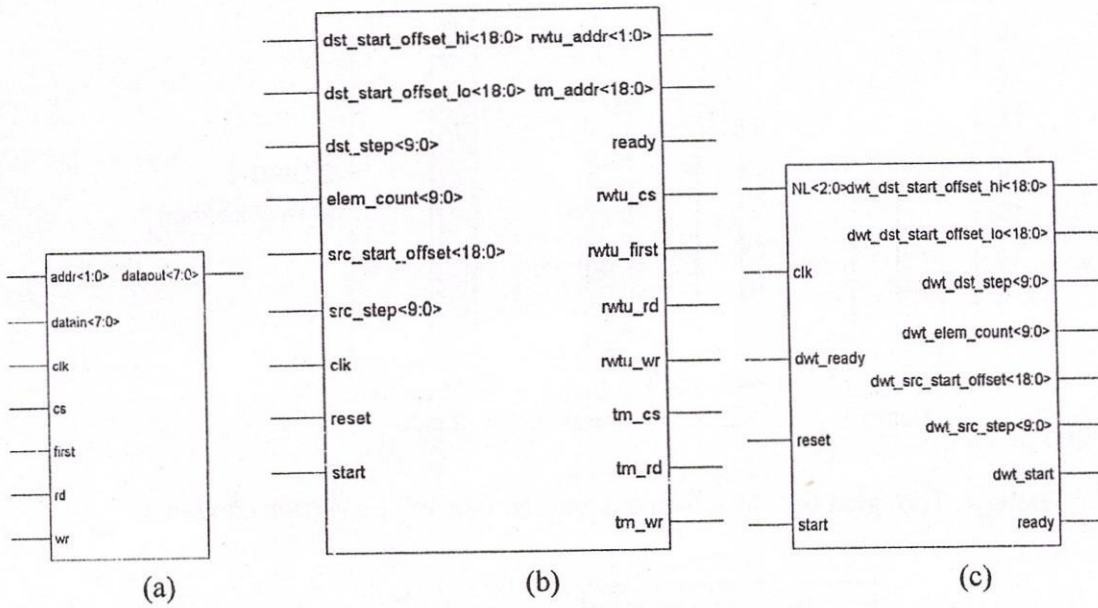
Hình 4. Cơ chế lifting và phương pháp đề nghị RWTU của DIPC-1

1. Đơn vị tính hệ số wavelet RWTU

Sơ đồ kết nối của đơn vị RWTU được trình bày trong hình 5a. Cấu trúc của RWTU bao gồm một cửa sổ RWTU chứa 4 thanh ghi ngõ vào ký hiệu r_1 đến r_4 (được truy xuất bằng $\text{addr}[1:0]$), và hai thanh ghi ngõ ra chứa hệ số chi tiết ($\text{addr} = 0$) và hệ số thô ($\text{addr} = 1$). Trong 4 thanh ghi ngõ vào, r_1 chứa hệ số chi tiết tính được từ ngõ ra của cửa sổ RWTU trước đó, r_2 chứa giá trị r_4 của cửa sổ trước đó, chỉ có r_3 và r_4 là hai mẫu ảnh mới được đọc từ bộ nhớ ảnh. Thiết kế của đơn vị RWTU là một hệ tổ hợp, do đó, khi cửa sổ RWTU đã xác định, các thanh ghi chứa hệ số chi tiết và hệ số thô sẽ xuất hiện tại ngõ ra và sẵn sàng để phân chia vào các băng con. Sau đó, cửa sổ RWTU sẽ dịch đi 2 mẫu và quá trình tính được lặp lại. Ngoại lệ xảy ra khi cửa sổ RWTU chứa 3 mẫu đầu tiên của dãy một chiều. Ngoại lệ này được chỉ bằng tín hiệu *first*. Việc truy xuất RWTU được điều khiển bằng cs , rd , wr tương tự như các ngoại vi thông thường. Đường dữ liệu vào và ra của RWTU có độ rộng 8 bit.

2. Đơn vị tạo địa chỉ dãy dữ liệu 1 chiều và điều khiển truy xuất bộ nhớ ảnh DAG1-DMAU

Hình 5b trình bày sơ đồ chân của đơn vị DAG1-DMAU. Đơn vị này nhận các tín hiệu điều khiển chỉ ra địa chỉ bắt đầu của dãy 1 chiều (src_start_offset), vị trí lưu các hệ số chi tiết và thô ($\text{dst_start_offset_hi/lo}$) cũng như khoảng cách giữa các mẫu dữ liệu liên tiếp trong bộ nhớ ảnh (src_step , dst_step). Tín hiệu elem_count chỉ ra số phần tử trong dãy 1 chiều. Thao tác điều khiển việc bắt đầu và kết thúc quá trình tính DWT được thực hiện thông qua các tín hiệu start và ready . Các thông số trên của dãy 1 chiều và thao tác điều khiển được thực hiện nhờ hoạt động của DAG2-IOCU. Các tín hiệu tm_ được dùng để điều khiển bộ nhớ ảnh. Các tín hiệu rwtu_ được dùng để điều khiển hoạt động của RWTU. DAG1-DMAU được dùng chung cho cả biến đổi trên hàng và trên cột mà chỉ cần thay đổi các thông số điều khiển thông qua hoạt động của DAG2-IOCU.



Hình 5. Sơ đồ chân của RWTU (a), DAG1-DMAU (b), DAG2-IOCU (c)

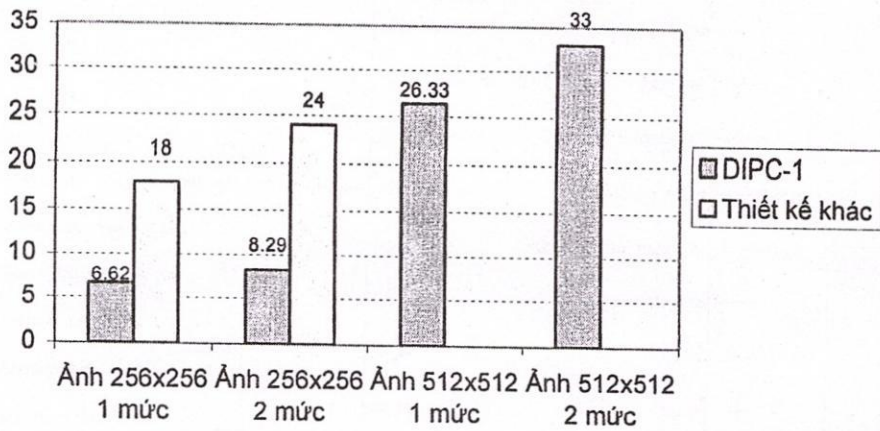
3. Đơn vị tạo địa chỉ dữ liệu 2 chiều và điều khiển giao tiếp DAG2-IOCU

Đơn vị DAG2-IOCU có nhiệm vụ cung cấp các thông số điều khiển cho DAG1-DMAU tùy theo biến đổi đang tính hiện thời là trên hàng hay cột và tùy theo vị trí hiện tại của dãy 1 chiều (các tín hiệu `dwt_`). Đơn vị này cũng sẽ thực hiện việc tính lại kích thước, vị trí ảnh trong bộ nhớ cho các mức biến đổi tiếp theo được xác định thông qua thanh ghi NL (số mức biến đổi được phép tối đa là 7 mức, đề nghị của chuẩn là tối đa 6 mức biến đổi). Ngoài ra, DAG2-IOCU còn đảm nhiệm việc giao tiếp với đơn vị điều khiển trung tâm trong việc nhận các thông số cấu hình cho ảnh, cũng như các tín hiệu bắt tay trong quá trình điều khiển (`start` và `ready`).

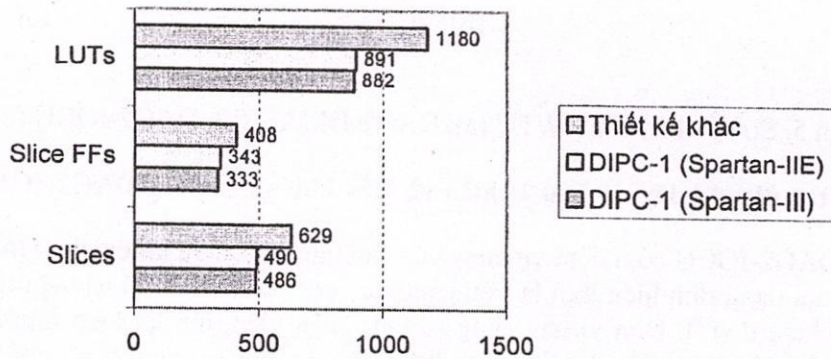
IV. MÔ PHỎNG VÀ TỔNG HỢP

Trong phần này, thiết kế [6] sẽ được dùng để so sánh với thiết kế của DIPC-1 do sự tương tự về mục tiêu thiết kế. Bộ đồng xử lý DIPC-1 ở trên đã được mô phỏng với ModelSim 5.7g. Bảng 1 trình bày thời gian cần thiết để tính biến đổi wavelet trên ảnh Lena 256x256 và 512x512 cho biến đổi 1 mức và 2 mức dùng DIPC-1, thời gian biến đổi của thiết kế [6] cũng được trình bày trong bảng này để tham khảo.

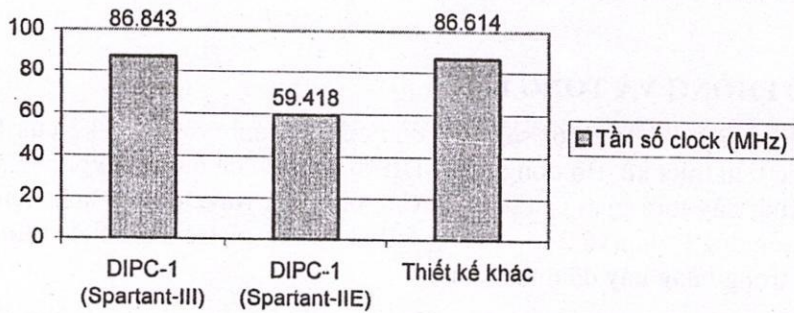
DIPC-1 cũng đã được tổng hợp bằng Xilinx ISE 6.1i và cấu hình cho Spartan-III của Xilinx dùng board mạch S3Board của Digilent, Inc. Kết quả tổng hợp của DIPC-1 được trình bày trong bảng 2 và 3 (các giá trị này chưa được tối ưu). Theo các kết quả này, tần số tối đa của DIPC-1 xấp xỉ thiết kế [6] (86.843 MHz so với 86.614 MHz), nhưng thời gian thực hiện biến đổi nhanh hơn do số xung clock cần để tính các hệ số là ít hơn. Về kích thước, thiết kế của DIPC-1 trên Spartan-III ít hơn thiết kế [6] (thiết kế [6] đòi hỏi 629 Slices (33%), 408 Slice FFs (10%), 1180 LUTs (30%) khi tổng hợp trên Spartan-III). Hình 6 cho thấy kết quả biến đổi của DIPC-1 trên ảnh Lena dùng Spartan-III và kết quả có được từ [6]. Có thể thấy là DIPC-1 cho độ chính xác cao hơn [6], và kết quả biến đổi này hoàn toàn phù hợp với kết quả biến đổi có được từ phần mềm Jasper [9] (phần mềm Jasper viết trên C/C++ được chọn làm thiết kế tham khảo cho chuẩn JPEG-2000).



Bảng 1. Thời gian thực hiện biến đổi wavelet trên ảnh Lena (tính bằng ms)



Bảng 2. Kết quả tổng hợp DIPC-1 (chưa thực hiện tối ưu) và thiết kế trong [6]

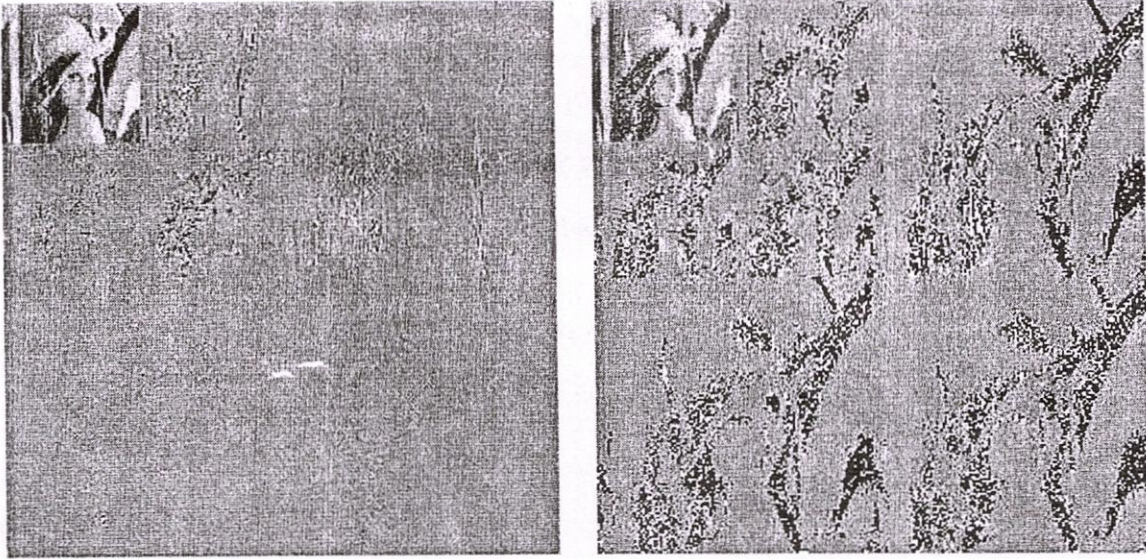


Bảng 3. Kết quả tổng hợp tần số xung clock tối đa của DIPC-1 và thiết kế [6]

V. KẾT LUẬN

Biến đổi wavelet trên ảnh đang thật sự trở thành một biến đổi được lựa chọn nhiều nhất cho nén ảnh. Chuẩn JPEG-2000 đã xác định biến đổi wavelet LeGall 5/3 (và một biến đổi không thể đảo ngược khác) là wavelet chính cho giai đoạn biến đổi ảnh. Bộ đồng xử lý DIPC-1 được thiết kế với mục đích cho phép các đơn vị điều khiển trung tâm khác nhau có thể thực hiện biến đổi wavelet 5/3 trên ảnh với một thời gian rất nhanh, chỉ khoảng 6 ms cho một ảnh 256x256. Tín hiệu giao tiếp đơn giản, tốc độ thực thi và độ chính xác cao sẽ giúp cho DIPC-1 có thể được sử dụng tốt với nhiều thiết kế. Hiện nay, DIPC-1 đang được nâng cấp để

có thể trở thành một đơn vị đồng xử lý ảnh bao gồm nhiều giải thuật cơ bản và đầy đủ cho một quá trình xử lý ảnh.



a) Biến đổi dùng DIPC-1

b) Biến đổi dùng thiết kế [6]

Hình 6. Biến đổi wavelet 2 mức trên ảnh Lena 256x256 dùng Spartan-III của DIPC-1 và [6]

IMPLEMENTING A COPROCESSOR FOR WAVELET TRANSFORM ON STILL IMAGE

Vo Ky Chau

(University of Technology – Vietnam National University HoChiMinh City)

ABSTRACT: This paper presents the structure of a coprocessor (called DIPC-1). The coprocessor implements discrete wavelet transform (DWT) on still image. It also includes interfacing with a DSP or microprocessor, ... LeGall 5/3 filter is selected. DIPC-1 is written by VHDL, synthesized by ISE Foundation, simulated by ModelSim, and implemented on Spartan-III. The results of the design are also included in this paper.

Keywords: Wavelets, DWT, FPGA, VHDL.

TÀI LIỆU THAM KHẢO

- [1] ISO/IEC JTC 1/SC 29/WG 1, *JPEG 2000 Part I Final Committee Draft Version 1.0* (16-03-2000).
- [2] Michael D. Adams, *The JPEG-2000 Still Image Compression Standard*, Dept. of Electrical and Computer Engineering, University of Victoria (25-12-2002).
- [3] David Salomon, *Data Compression 3rd*, Springer (2003).
- [4] Peter Schroder and Wim Sweldens, *Wavelets in Computer Graphics*, SIGGRAPH 96 Course Notes.

- [5] Martin Vetterli and Jelena Kovacevic, *Wavelets and Subband Coding*, Prentice Hall (1995).
- [6] Dejan Ivkovic, *Implement of Discrete Wavelet Transform (DWT) in VHDL*, http://kondor.etf.bg.ac.yu/~dejaniv/projects/dwt/DWT_VHDL.htm
- [7] Young and Kang-Hyeon, *Design of Subband Image Encoder by DWT*, 2002.
- [8] Douglas L. Perry, *VHDL Programming by Examples*, McGraw-Hill (2002).
- [9] Michael D. Adams, *Jasper Software Version 1.700.0*, Dept. of Electrical and Computer Engineering, University of Victoria (09-02-2003).
- [10] Digilent, Inc., *S3Board reference manual*, (2004).