BỘ CHUYỂN ĐỔI TỐC ĐỘ LẤY MẪU SỬ DỤNG KỸ THUẬT HỒI TIẾP RỜI RẠC TRONG MIỀN THỜI GIAN

Lê Tùng
Trường Đại Học Bách Khoa, Đại Học Quốc Gia TP. HCM
(Bài nhận ngày 18 tháng 8 năm 2003)

TÓM TẮT: *Bộ chuyển đổi tốc độ lấy mẫu (sampling rate converter – SRC) được sử dụng khi phải giao tiếp giữa các hệ thống có tốc độ lấy mẫu khác nhau. Để đạt được tỷ số tín hiệu trên nhiễu SNR cao, đặc biệt trong các hệ thống với tốc độ lấy mẫu ngẫu nhiên và biến thiên theo thời gian, SRC sử dụng các giải thuật DSP thông thường đòi hỏi việc thiết kế và chế tạo rất phức tạp. Bài viết giới thiệu bộ SRC sử dụng kỹ thuật hồi tiếp rời rạc trong miền thời gian. Các phân tích lý thuyết và mô phỏng được giới thiệu trong bài viết minh họa tính ưu việt của kỹ thuật mới này so với các giải thuật DSP thông thường khi sử dụng trong các bộ SRC.*

I. GIỚI THIỆU

Bộ chuyển đổi tốc độ lấy mẫu SRC ngày càng được sử dụng rộng rãi trong nhiều lĩnh vực, đặc biệt là trong các ứng dụng âm tần. Hiện nay, hầu hết các SRC được thiết kế sử dụng các giải thuật DSP khá đơn giản về mặt lý thuyết trong đó tín hiệu ngõ vào được nâng tần số lấy mẫu, lọc thông thấp và cuối cùng là giảm tần số lấy mẫu đến giá trị cần thiết ở ngõ ra. Tuy nhiên, để có được các SRC với tỷ số tín hiệu trên nhiễu SNR cao nhằm đáp ứng các yêu cầu ngày càng khắt khe của toàn bộ hệ thống, các SRC thông thường trở nên rất phức tạp về phần cứng, dẫn đến tăng giá thành sản phẩm, và trong một số trường hợp là không thể thực hiện được với các công nghệ sản xuất hiện nay.

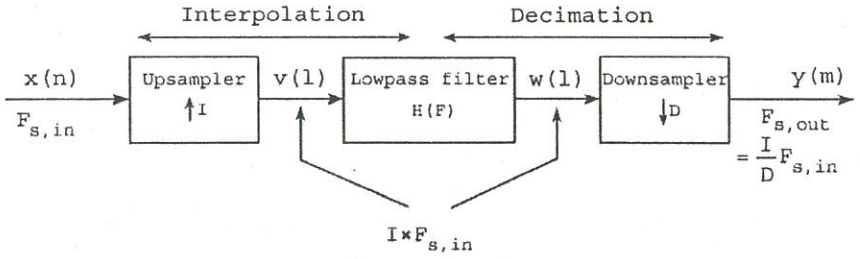
Với các thành công ban đầu của việc sử dụng kỹ thuật hồi tiếp rời rạc trong miền thời gian nhằm thay thế các giải thuật DSP thông thường trong một số ứng dụng cụ thể, kỹ thuật mới này đã thu hút sự chú ý của các nhà nghiên cứu chế tạo và đang được phát triển trong nhiều lĩnh vực khác nhau.

Bài viết sẽ trình bày ứng dụng của kỹ thuật hồi tiếp rời rạc trong miền thời gian vào các bộ SRC. Các cơ sở lý thuyết của quá trình chuyển đổi tốc độ lấy mẫu cũng như của kỹ thuật hồi tiếp rời rạc trong miền thời gian sẽ được giới thiệu trong phần 2. Phần 3 sẽ trình bày các phân tích lý thuyết và kết quả mô phỏng.

II. CƠ SỞ LÝ THUYẾT

1. Chuyển đổi tốc độ lấy mẫu:

Các nghiên cứu lý thuyết về chuyển đổi tốc độ lấy mẫu sử dụng các giải thuật DSP thông thường đã được trình bày chi tiết trong các giáo trình xử lý số tín hiệu [1]-[4]. Quá trình chuyển đổi tốc độ lấy mẫu được minh họa trong hình 1, trong đó tín hiệu ngõ vào x(n) ở tần số lấy mẫu $F_{s,in}$ được nâng tần số lấy mẫu I lần bằng bộ nâng tần số lấy mẫu (upsampler) để tạo ra tín hiệu v(l) ở tần số lấy mẫu $I \times F_{s,in}$. Tín hiệu v(l) được đi qua mạch lọc thông thấp với hàm truyền H(F). Tín hiệu w(l) ở ngõ ra của mạch lọc được đi qua bộ giảm tần số lấy mẫu (downsampler) D lần để tạo ra tín hiệu ngõ ra y(m) ở tần số lấy mẫu $F_{s,out} = \frac{I}{D} F_{s,in}$.



Hình 1: Quá trình chuyển đổi tốc độ lấy mẫu.

Hàm truyền của mạch lọc thông thấp trong miền tần số được định nghĩa bởi [1]:

$$H(F) = \begin{cases} I, & 0 \le |F| \le \min(F_{s,in}/2, F_{s,out}/2) \\ 0, & \textbf{vùng khác} \end{cases} \qquad (2.1)$$

Tùy theo quan hệ giữa tần số lấy mẫu ở ngõ vào và ngõ ra, các SRC có thể được chia thành 2 loại:

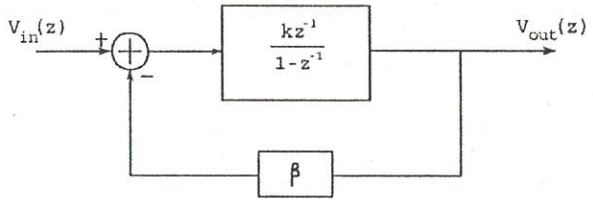
SRC đồng bộ (Synchronous SRC): Khi tần số lấy mẫu ngõ vào và ra là hằng số và tỷ số giữa chúng có thể được viết dưới dạng hữu tỷ.

SRC bất đồng bộ (Asynchronous SRC): Khi quan hệ giữa tần số lấy mẫu ngõ vào và ra là ngẫu nhiên và có thể thay đổi theo thời gian. Để đạt được tỷ số tín hiệu trên nhiễu SNR cao, các SRC bất đồng bộ sử dụng giải thuật DSP thông thường yêu cầu hệ số tăng tần số lấy mẫu I là rất lớn. Một trong những sản phẩm thương mại đầu tiên của các SRC bất đồng bộ là IC AD 1890™, trong đó sử dụng giá trị I = 65536 nhằm đạt tỷ số SNR = 96 dB [5].

Với giá trị I rất lớn, việc thiết kế bộ lọc thông thấp trong các SRC bất đồng bộ bằng các phương pháp DSP thông thường đòi hỏi phần cứng rất phức tạp và khó thực hiện. Vì vậy các bộ lọc thông thấp trong các SRC bất đồng bộ thường được thiết kế sử dụng *bộ lọc đa pha* (polyphase filter) [6]. Tuy nhiên, với các yêu cầu ngày càng cao về tỷ số SNR, về tính khả thi trong thực hiện phần cứng cũng như về nhu cầu giảm giá thành sản phẩm, việc thiết kế chế tạo các SRC, đặc biệt là các SRC bất đồng bộ đòi hỏi một giải thuật mới hiệu qủa hơn các giải thuật DSP thông thường. Phần tiếp theo sẽ trình bày kỹ thuật hồi tiếp rời rạc trong miền thời gian.

2. Hồi tiếp rời rạc trong miền thời gian:

Kỹ thuật hồi tiếp rời rạc trong miền thời gian đã được sử dụng thành công trong một số ứng dụng [7]-[10]. Cấu trúc cơ sở của kỹ thuật hồi tiếp rời rạc trong miền thời gian được trình bày bằng sơ đồ khối trong hình 2.



Hình 2: Kỹ thuật hồi tiếp rời rạc trong miền thời gian.

Hàm truyền của cấu trúc trên trong miền z được tính bởi:

$$\frac{V_{out}(z)}{V_{in}(z)} = \frac{kz^{-1}}{1 - z^{-1} + \beta k z^{-1}} \qquad (2.2)$$

Khi băng thông tín hiệu nhỏ hơn rất nhiều so với tần số lấy mẫu (BW << F_s): $z \to 1$. Từ phương trình (2.2) suy ra: $V_{out}(z)/V_{in}(z) \to 1/\beta$. Như vậy, cũng tương tự như mạch hồi tiếp

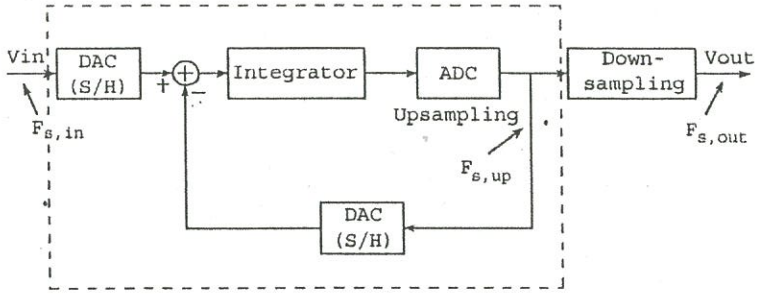
dùng op amp, độ lợi của cấu trúc trong hình 2 tiến đến giá trị hằng số mà không phụ thuộc vào độ lợi của bộ tích phân k khi BW << F_s.

Ngoài tính chất trên, cấu trúc hồi tiếp rời rạc trong miền thời gian còn có rất nhiều ưu điểm của các mạch hồi tiếp sử dụng op amp, ví dụ như ngõ vào ngắn mạch ảo (virtual short circuit), hay khả năng định dạng nhiễu (noise shaping),... [11]. Các tính chất này cho phép kỹ thuật hồi tiếp rời rạc trong miền thời gian có thể được sử dụng hiệu quả trong các hệ thống xử lý tín hiệu rời rạc đòi hỏi độ chính xác cao. Phần tiếp theo sẽ trình bày ứng dụng của kỹ thuật này trong các SRC.

III. SRC SỬ DỤNG KỸ THUẬT HỒI TIẾP RỜI RẠC TRONG MIỀN THỜI GIAN

1. Phân tích lý thuyết:

Sơ đồ khối của SRC sử dụng kỹ thuật hồi tiếp rời rạc trong miền thời gian được minh hoạ trong hình 3.



Hình 3: SRC sử dụng kỹ thuật hồi tiếp rời rạc trong miền thời gian.

So sánh với cấu trúc của SRC trong hình 1, ta thấy bộ lọc thông thấp đã được thay thế bằng khối hồi tiếp bậc nhất. Dựa vào các phân tích lý thuyết, độ lợi G và tỷ số tín hiệu trên nhiễu SNR của cấu trúc trong hình 3 có thể được xác định bởi [12]:

$$G = |G_1| F_{s,in} / F_{s,out} \tag{3.1}$$

$$SNR = \left[G_3 / |G_1|^2 + G_2 \right]^{-1} \tag{3.2}$$

trong đó:

$$G_1 = F_{s,up} H_1 H \left[1 + H_2 H F_{s,up} \right]^{-1} \tag{3.3}$$

$$G_2 = F_{s,up}^2 \left[1 + H_2 H F_{s,up} \right]^{-2} \sum_{\substack{k=-\infty \\ k \neq 0}}^{\infty} \left[H_2 H (F_0 - k F_{s,up}) \right]^2 \tag{3.4}$$

$$G_3 = F_{s,up}^2 \left[1 + H_2 H F_{s,up} \right]^{-2} \sum_{\substack{k=-\infty \\ k \neq 0}}^{\infty} \left[H_1 H (F_0 - k F_{s,up}) \right]^2 \tag{3.5}$$

H, H_1, H_2 lần lượt là hàm truyền của các khối tích phân, DAC ở ngõ vào và ở mạch hồi tiếp.

F_0 : Tần số tín hiệu ngõ vào.

$F_{s,up}$: Tần số lấy mẫu trong mạch hồi tiếp.

Các công thức (3.1) và (3.2) cũng có thể được sử dụng tổng quát để xác định độ lợi G và tỷ số SNR của các bộ SRC sử dụng các mạch vòng hồi tiếp bậc cao hơn với các giá trị G_1, G_2, G_3 thích hợp.

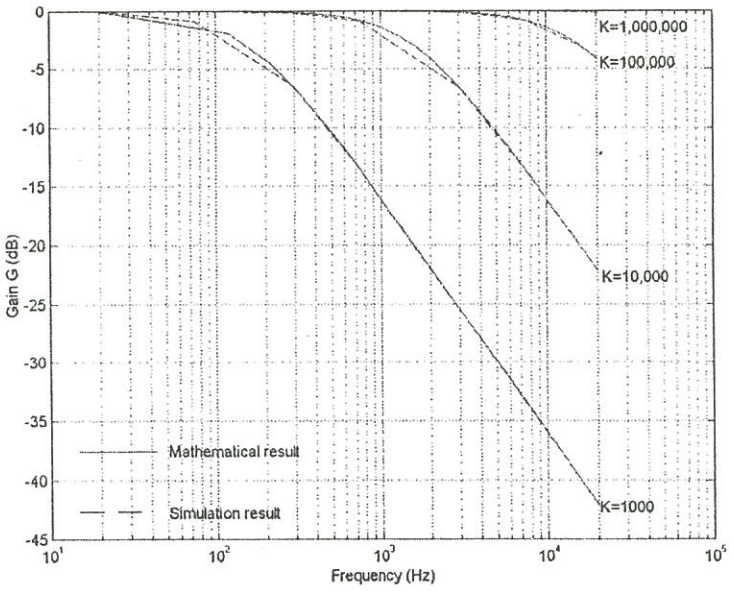
2. Kết quả mô phỏng:

Hình 4 trình bày kết quả mô phỏng bằng MatLAB một SRC sử dụng kỹ thuật hồi tiếp rời rạc trong miền thời gian. Các thông số của SRC trong chương trình mô phỏng là:

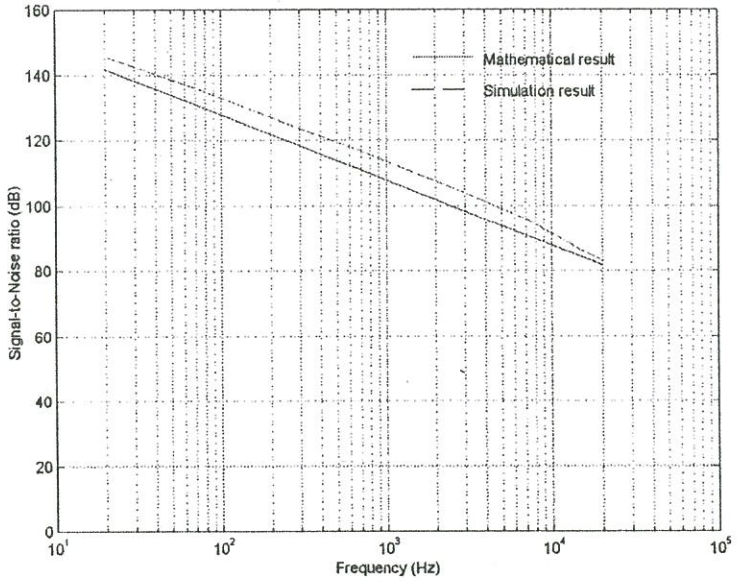
Tín hiệu vào : Âm tần : F_0 = 20 Hz-20 kHz.

Tần số lấy mẫu ngõ vào : $F_{s,in}$ = 8×44100 Hz.

Tần số lấy mẫu trong vòng hồi tiếp : $F_{s,up}$ = 128×48000 Hz.



Hình 4a: Kết quả mô phỏng – Độ lợi G.



Hình 4b: Kết quả mô phỏng – Tỷ số SNR.

Để so sánh, trên hình 4 cũng trình bày kết quả phân tích lý thuyết của SRC tương ứng. Chúng ta rút ra một số nhận xét sau đây:

- Các kết quả mô phỏng và lý thuyết là phù hợp nhau với sai số khá nhỏ, qua đó chứng minh tính chính xác của các phân tích lý thuyết đã được thể hiện trong phần trước.
- Với cấu trúc trong hình 3, kỹ thuật hồi tiếp rời rạc trong miền thời gian có thể dễ dàng được mở rộng để sử dụng trong các bộ SRC bất đồng bộ.
- Mặc dù có cấu trúc khá đơn giản với mạch vòng hồi tiếp bậc nhất, SRC được khảo sát đã có SNR ≥ 80 dB đối với tín hiệu âm tần. Hơn nữa các phân tích cho thấy khi bậc của mạch vòng hồi tiếp càng lớn thì tỷ số SNR càng cao, do đó kỹ thuật hồi tiếp rời rạc trong miền thời gian hoàn toàn có thể được sử dụng trong các ứng dụng âm tần với yêu cầu chất lượng cao.

IV. KẾT LUẬN

Kỹ thuật hồi tiếp rời rạc trong miền thời gian với nhiều ưu điểm tương tự như op amp đã được sử dụng thành công trong nhiều lĩnh vực. Bài viết đã giới thiệu ứng dụng của kỹ thuật mới này vào trong bộ chuyển đổi tốc độ lấy mẫu. Các phân tích lý thuyết chính xác đã được đưa ra và được kiểm chứng bằng chương trình mô phỏng. Các kết quả này đồng thời cũng khẳng định tính khả thi của kỹ thuật hồi tiếp rời rạc trong miền thời gian ứng dụng trong các SRC, đặc biệt là các SRC âm tần bất đồng bộ.

A SAMPLING RATE CONVERTER USING DISCRETE-TIME FEEDBACK

Le Tung

ABSTRACT: The sampling rate converter (SRC) is used when systems operating at various sampling rates are connected to each other. In order to obtain high signal-to-noise ratio (SNR), especially in systems with random and time-varying sampling rates, SRCs using conventional DSP approaches are very difficult to be designed and manufactured. This paper introduces the SRC using discrete-time feedback. Theoretical analysis and simulation results presented in this paper will illustrate the advantages of this new approach over the conventional DSP algorithms used in the SRC.

TÀI LIỆU THAM KHẢO

[1] J. G. Proakis and D. G. Manolakis, "Digital Signal Processing: Principles, Algorithms, and Applications", 3rd edit., Prentice-Hall, 1996.

[2] S. J. Orfanidis, "Introduction to Signal Processing", Prentice-Hall, 1996.

[3] J. G. Proakis *et al.*, "Advanced Digital Signal Processing", MacMillan Pub., 1992.

[4] G. Zekniker and F. J. Taylor, "Advanced Digital Signal Processing: Theory and Applications", Marcel Dekker Inc., 1994.

[5] "SamplePort Stereo Asynchronous Sample Rate Converters, AD1890/AD1891", Datasheet, Analog Devices, Norwood, MA, 1994.

[6] "AD1890 and AD1891 SamplePorts™ Background", WhitePapers, Analog Devices, Norwood, MA, 1994.

[7] I. Mehr and T. L. Sculley, "A 16-bit Current Sample/Hold Using a Digital CMOS Process", Proc. 1994 *IEEE Int. Symp. Circuits Syst.*, pp. 5.417–420, May 1994.

[8] I. Mehr and T. L Sculley, "Oversampling Current Sample/Hold Structures for Digital CMOS Process Implementation", *IEEE Trans. Circuits Syst. II*: Analog and Digital Signal Processing, vol. 45, pp. 196–203, Feb. 1998.

[9] C. Huang and T. L. Sculley, "An Enhanced Linearity Sampled–Data Voltage Amplifier", *IEEE Tran. Circuits Syst. II*, vol. 43, pp. 62–65, Jan. 1996.

[10] N. R. Itani and T. L. Sculley, "An Oversampling Transconductance Amplifier Using Sampled–Data Feedback", Proc. 1996 *IEEE Int. Symp. Circuits Syst.*, pp. 333–336, Jan 1996.

[11] I. Mehr and T. L. Sculley, "Discrete–Time Feedback Circuits for High Performance Analog Signal Processing", *IEEE Tran. Circuits Syst. II*, vol. 43, pp. 60–62, Jan. 1996.

[12] Le Tung, "A Sampling Rate Converter Using Discrete-Time Feedback", Master Thesis, University of Arkansas, Dec. 2002.