

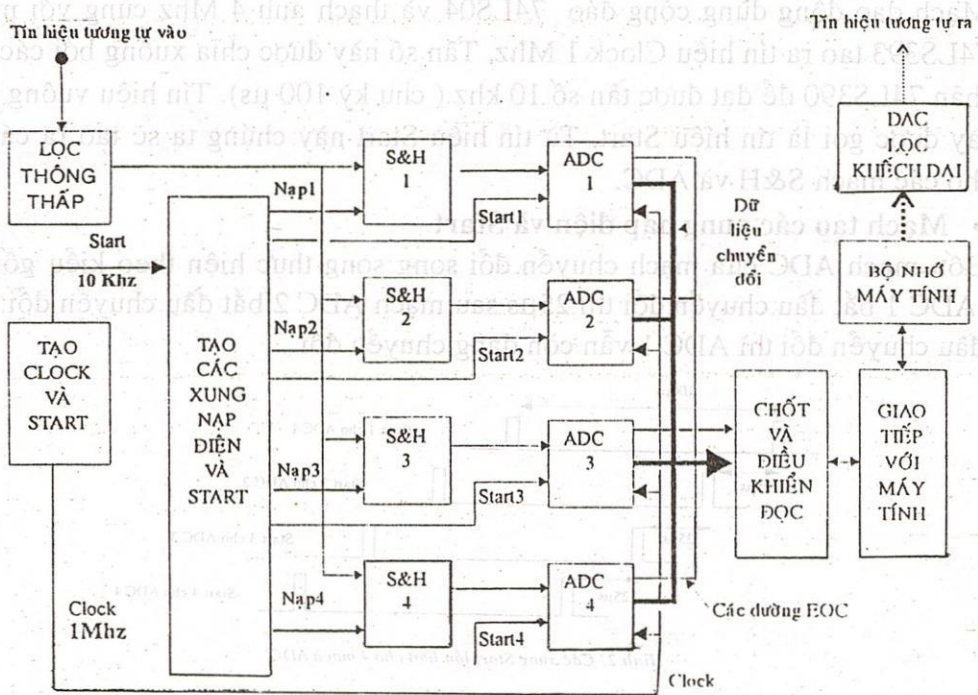
# MẠCH CHUYỂN ĐỔI ADC SONG SONG

Nguyễn Hữu Phương - Bùi Trọng Tú

Trường Đại Học Khoa Học Tự nhiên

(Bài nhận ngày 23/05/1998)

**TÓM TẮT:** Trong thế giới tự nhiên, dữ liệu hiện hữu ở dạng tương tự, trong lúc các phương tiện lưu trữ, xử lý và truyền tải đều thuộc kỹ thuật số (máy tính, viễn thông ...). Do đó chúng ta cần các mạch chuyển đổi tương tự sang số (Analog to Digital Converter – ADC). Ngày nay các ứng dụng đòi hỏi tốc độ chuyển đổi ngày càng cao nên nhiều mạch tích hợp ADC tốc độ cao (gọi Flash ADC, Video ADC, ...) đã được sản xuất. Trong đề tài này, chúng tôi nghiên cứu việc dùng nhiều mạch ADC đơn phổ biến có tốc độ trung bình, giá rẻ mắc song song nhằm đạt đến tốc độ chuyển đổi nhanh hơn nhiều. Từ bộ nhớ của máy tính, dữ liệu nhị phân được dùng để tái tạo dạng sóng tương tự lên màn hình máy tính hoặc xuất ra mạch DAC (chuyển đổi số sang tương tự), lọc và khuếch đại mà cũng cho tín hiệu tương tự ra. Để đảm bảo các mạch ADC đơn kết thúc chuyển đổi theo đúng trình tự, số mạch ADC tối đa có thể mắc song song là khoảng 5, tức tốc độ chuyển đổi được tăng lên 5 lần. Bằng cách kích hoạt các mạch ADC theo cách khác và thay đổi sự điều khiển đọc, số mạch ADC mắc song song có thể tăng lên theo ý muốn, lúc bấy giờ có lẽ máy tính phải đọc dữ liệu theo cơ chế DMA.



Hình 1: Sơ đồ khối mạch chuyển đổi song song

## 1. MẠCH CHUYỂN ĐỔI SONG SONG:

Như đã đề cập trong phần giới thiệu, để tăng tốc độ chuyển đổi chúng tôi đã thiết kế mạch ADC song song. Cụ thể chúng tôi đã dùng 4 mạch ADC 0809 mắc song song với

nhau. Về hình thức là song song nhưng thật ra cơ chế chuyển đổi là nối đầu nhau như được trình bày trong hình 1. Sau đây là mô tả vắn tắt chức năng và hoạt động của các khối:

- **Mạch lọc:**

Khâu xử lý đầu tiên là lọc thông thấp tác động lên tín hiệu tương tự vào nhằm loại bỏ các thành phần tần số cao hơn một giới hạn chọn trước để tránh hiện tượng biệt danh (Aliasing). Tần số giới hạn này phải nhỏ hơn phân nửa tần số lấy mẫu sử dụng ở mạch chuyển đổi ADC. Để cho việc lọc được hiệu quả, thường chúng ta phải dùng mạch lọc bậc 8 hoặc hơn, tuy nhiên ở đây với mục đích thử nghiệm chúng ta dùng mạch lọc Butterworth bậc 4 dựa vào kỹ thuật toán TL084.

- **Mạch lấy mẫu và giữ (Sample and Hold, viết tắt S&H):**

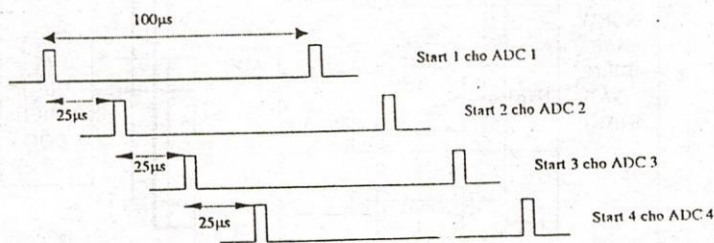
Khi tín hiệu biến thiên nhanh so với tốc độ chuyển đổi của mạch ADC chúng ta phải dùng mạch lấy mẫu và giữ trước mạch chuyển đổi nhằm giữ cho tín hiệu tương tự không bị thay đổi nhiều trong quá trình mạch ADC tiến hành chuyển đổi, đảm bảo sự chuyển đổi được chính xác. Ở đây chúng ta dùng bộ tương tự ( Analog Switch) CD4066, kỹ thuật toán TL084 và một tụ điện lưu giữ cho mỗi mạch lấy mẫu và giữ. Mạch S&H được trình bày trong hình 4: khi có xung dương vào chân 13 thì CD4066 mở trong thời gian vài  $\mu s$  để điện thế tương tự đến nạp ( hay xả ) điện cho tụ lưu trữ C39. Kỹ thuật toán TL084 có trở kháng vào rất lớn để giữ điện thế cho tụ.

- **Mạch tạo Clock và Start**

Mạch dao động dùng cổng đảo 74LS04 và thạch anh 4 Mhz cùng với mạch chia 4 dùng 74LS393 tạo ra tín hiệu Clock 1 Mhz. Tần số này được chia xuống bởi các mạch đếm thập phân 74LS390 để đạt được tần số 10 khz ( chu kỳ 100  $\mu s$ ). Tín hiệu vuông ở tần số 10 Khz này được gọi là tín hiệu Start. Từ tín hiệu Start này chúng ta sẽ tạo ra các xung cần thiết cho các mạch S&H và ADC.

- **Mạch tạo các xung nạp điện và Start**

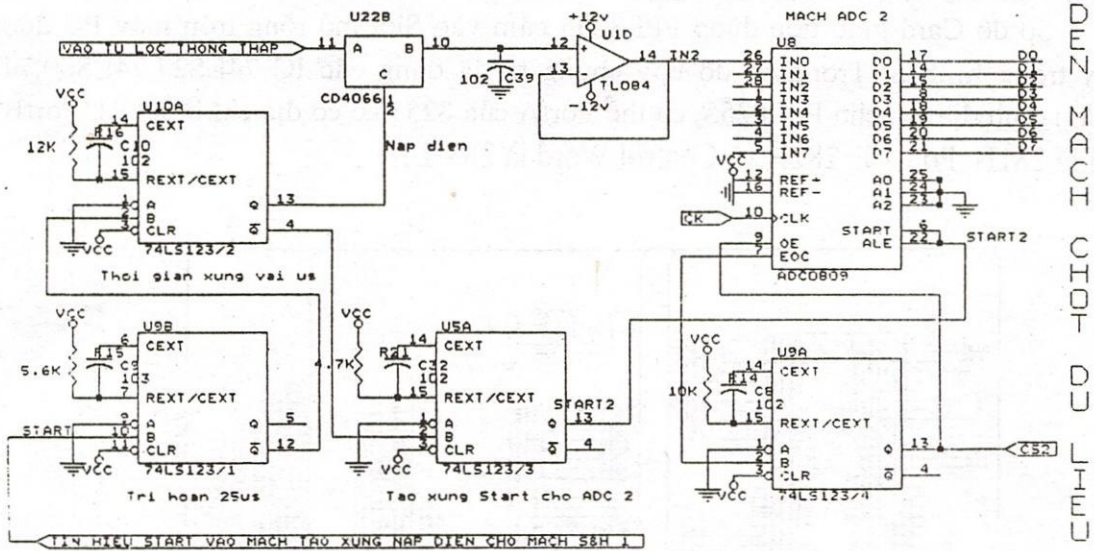
Bốn mạch ADC của mạch chuyển đổi song song thực hiện theo kiểu nối đầu nhau: Mạch ADC 1 bắt đầu chuyển đổi thì 25 $\mu s$  sau mạch ADC 2 bắt đầu chuyển đổi,... Khi ADC 2 bắt đầu chuyển đổi thì ADC 1 vẫn còn đang chuyển đổi..



Hình 2: Các xung Start lần lượt cho 4 mạch ADC

Hình 2 trình bày sự tuần tự và tuần hoàn các xung Start. Trong mạch chúng ta sẽ sử dụng các mạch trì hoãn để tạo được các xung cần thiết. Đây là công việc của các vi mạch dao động đơn ổn 74LS123. Hình 3 trình bày quá trình tạo các xung cho mạch ADC 2. Tín hiệu vuông Start ở tần số 10 Khz đi vào mạch tạo xung nạp điện cho mạch S&H 1. Tín hiệu Start này được làm chậm đi 25  $\mu s$  bởi 74LS123/1 rồi nắn dạng xung bởi 74LS123/2 để tạo xung nạp điện cho mạch S&H 2 . Ra của 74LS123/2 cũng được đưa đến 74LS123/3 để có độ rộng xung phù hợp làm xung Start 2 cho ADC 2. Mạch 74LS123/4 nhận xung báo

kết thúc chuyển đổi EOC của ADC 2 và tạo xung phù hợp cho ngõ "cho phép ra" OE của chính ADC2.



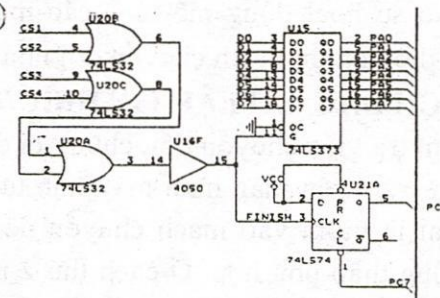
HÌNH 3: TẠO XUNG CHO MẠCH ADC 2

Xung Start 2 được đưa qua các mạch đơn ổn tương tự như trình bày ở trên để tạo xung nạp điện cho mạch S&H 3 và xung Start 3 của mạch ADC3. Xung nạp điện cho mạch S&H 4 và xung Start 4 cho mạch ADC4 được tạo từ xung Start 3 theo cùng một cách. Xung nạp điện cho mạch S&H 1 và xung Start 1 cho mạch ADC 1 được tạo ra từ tín hiệu vuông có tên Start ở 10 Khz (chu kỳ 100  $\mu$ s).

Như vậy các mạch ADC được kích hoạt tuần tự và quay vòng với chu kỳ là 100  $\mu$ s.

## 2. GIAO TIẾP MẠCH CHUYỂN ĐỔI VỚI MÁY TÍNH:

Các đường dữ liệu ra của các mạch đổi ADC1 đến ADC4 được nối chung với nhau và đến mạch chốt sử dụng IC 74LS373. (hình 4)

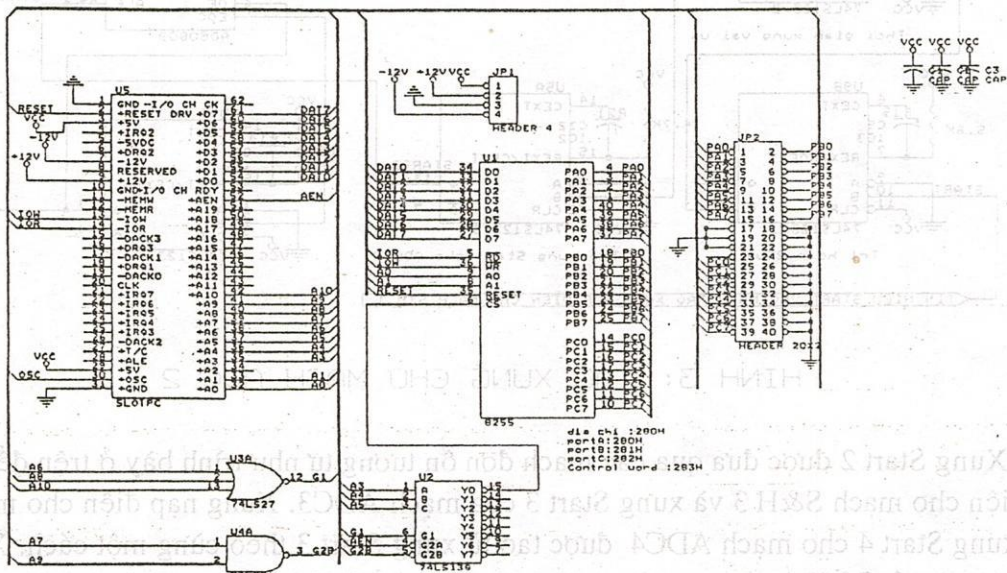


HÌNH 4: MẠCH CHỐT DỮ LIỆU VÀ ĐIỀU KHIỂN ĐỌC

Các đường EOC của mạch ADC sau khi qua mạch đơn ổn để điều chỉnh độ rộng thành xung OE kích cho mạch ADC mở ngõ ra như đã trình bày ở phần trước. Các xung này bây giờ mang tên CS1 đến CS4 và được nối đến mạch chốt như thấy ở hình 4. Các xung CS1 đến CS4 được đưa qua các cổng OR dùng 74LS32 để khi có một xung dương thì ngõ ra có tên FINISH sẽ lên 1 báo hiệu rằng đã có một mạch ADC vừa đổi xong. Ngõ FINISH nối đến ngõ CLK của FFD dùng 74LS74 với chân D nối lên Vcc. Khi FINISH

chuyển từ thấp lên cao (một mạch ADC vừa đổi xong) ngõ Q của FF sẽ lên 1. Trước tiên máy tính đọc liên tục ngõ ra Q này thông qua cổng PC3 của 8255, khi thấy lên 1 thì máy tính biết là một mạch ADC vừa đổi xong và tiến hành đọc dữ liệu vào qua Port A của 8255 đồng thời máy tính xóa FFD thông qua cổng PC 7 của 8255 để chờ lần chuyển đổi kế.

Sơ đồ Card giao tiếp dùng PPI 8255 cắm vào Slot mở rộng trên máy PC được trình bày trong hình 5. Trong sơ đồ này chúng ta đã dùng các IC 74LS27,74LS00,74LS138 nhằm định địa chỉ cho PPI 8255, cụ thể PortA của 8255 sẽ có địa chỉ là 280H, PortB có địa chỉ là 281H, PortC là 282H và Control Word là 283H.



**Hình 5: SLOT PC & PPI 8255**

**3. LƯU ĐỒ CHƯƠNG TRÌNH:**

Dựa vào sự hoạt động mô tả ở các mục trước, chúng ta có thể đưa ra lưu đồ của chương trình điều khiển mạch chuyển đổi như ở hình 6.

**4. MẠCH DAC TÁI LẬP TÍN HIỆU TƯƠNG TỰ:**

Để kiểm tra việc chuyển đổi, chúng ta đưa vào hai cách. Một là tái lập dạng sóng tín hiệu tương tự vào trên màn hình máy tính từ các dữ liệu chuyển đổi đã nhập vào bộ nhớ máy tính. Hai là thêm vào mạch chuyển đổi số sang tương tự (DAC) theo sau bởi một mạch lọc thông thấp phù hợp. Ở cách thứ 2 này máy tính vừa đọc dữ liệu chuyển đổi vào bộ nhớ vừa xuất ra ở PORT B của 8255 hoặc chỉ lưu dữ liệu vào bộ nhớ và xuất ra khi nào chúng ta muốn. Hình 7A và 7B là toàn bộ mạch chuyển đổi ADC song song kể cả mạch DAC để tái lập tín hiệu tương tự ban đầu.

**5. SỐ LƯỢNG MẠCH ADC CÓ THỂ MẮC SONG SONG:**

Đến đây chúng ta đặt ra câu hỏi là: với nguyên lý chuyển đổi song song như đã trình bày thì tần số tín hiệu Clock, tần số tín hiệu Start bao nhiêu là tối ưu? Có thể ghép song song bao nhiêu mạch ADC với nhau?

Tài liệu kỹ thuật của mạch chuyển đổi ADC 0809 cho biết tần số Clock tối đa của nó là 1280 Khz. Như vậy xung Clock tối ưu là 1280 Khz. Cũng theo tài liệu kỹ thuật, thời gian chuyển đổi tối thiểu là 66 chu kỳ Clock và tối đa là 73 chu kỳ. Do đó để bảo đảm là mạch đã chuyển đổi xong, chúng ta cho thời gian chuyển đổi là 75 chu kỳ Clock.

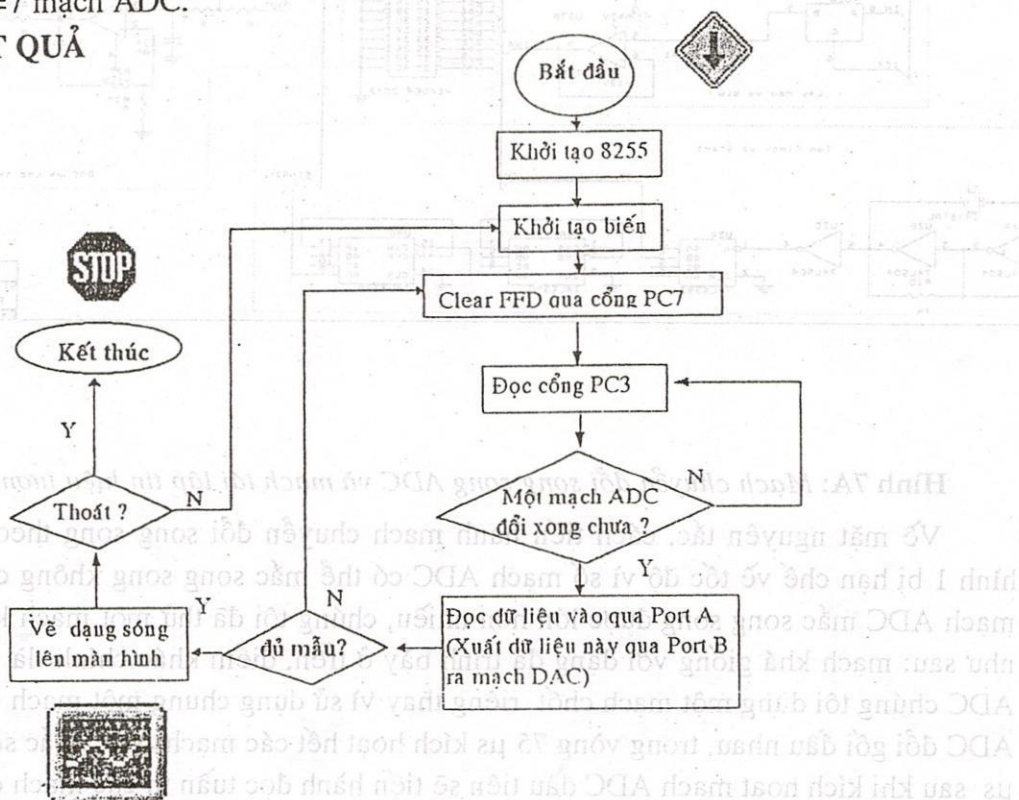
Để tránh trường hợp mạch ADC được kích hoạt sau lại đổi xong trước mạch ADC được kích hoạt ngay trước nó, hai xung Start kế tiếp nhau phải cách nhau tối thiểu một thời gian:

$$(73-66) + 2 = 9 \text{ chu kỳ Clock}$$

Trong công thức 2 là số chu kỳ cần để ổn định dữ liệu. Ngoài ra xem sai số tối đa do tụ và điện trở gây ra là 4 chu kỳ Clock. Do đó hai xung Start kế tiếp nhau phải cách nhau tối thiểu một khoảng thời gian  $9+4 = 13$  chu kỳ Clock. Như vậy với tần số Clock là 1280 khz, và theo các mức song song như trên thì số mạch ADC có thể ghép lại là  $75/13=5$  mạch ADC.

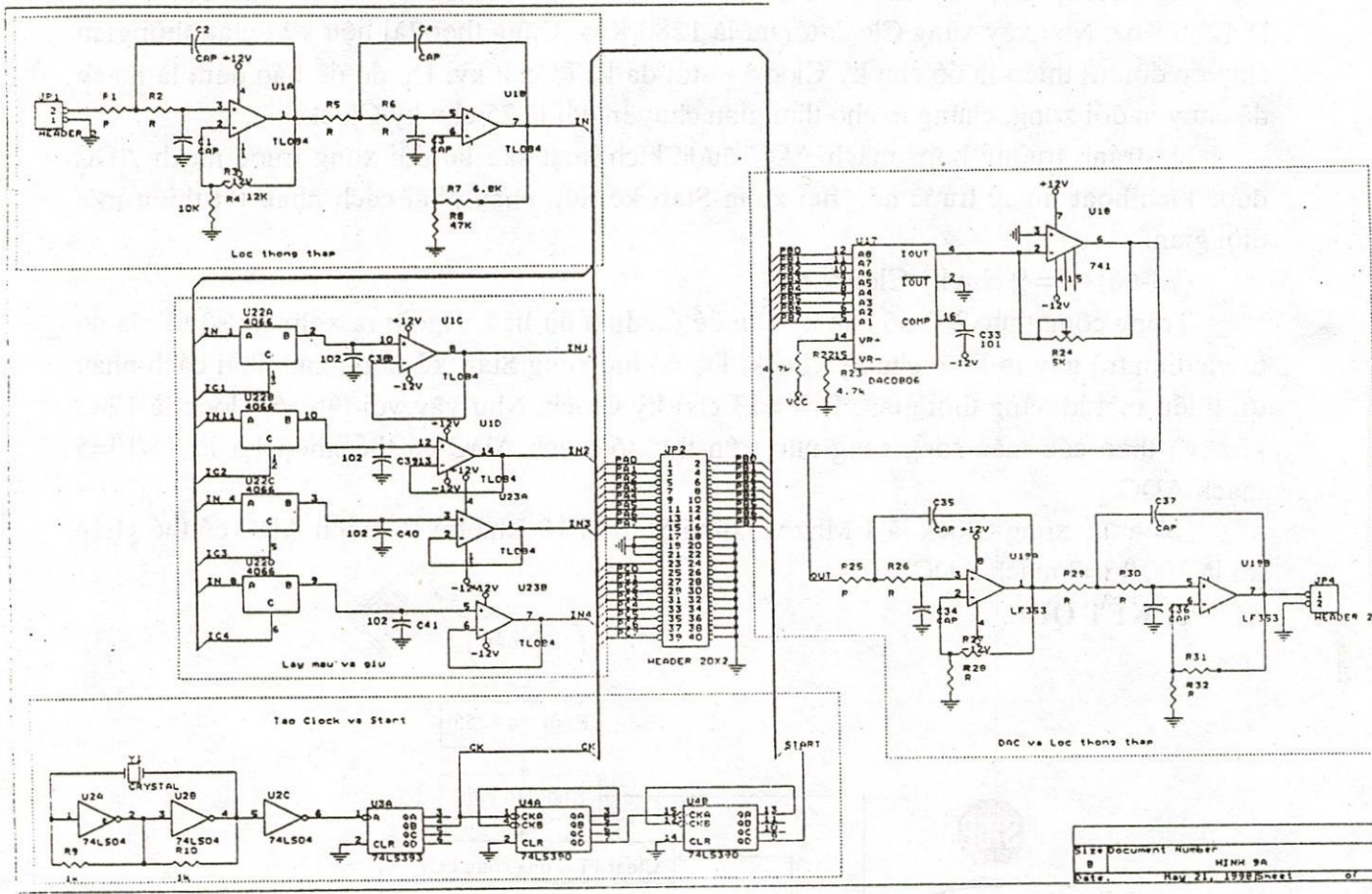
Nếu lấy xung Clock là 1 Mhz và xung Start là 10 Khz thì số mạch ADC có thể ghép lại là  $100/13=7$  mạch ADC.

## 6. KẾT QUẢ



**Hình 6 : Lưu đồ chương trình**

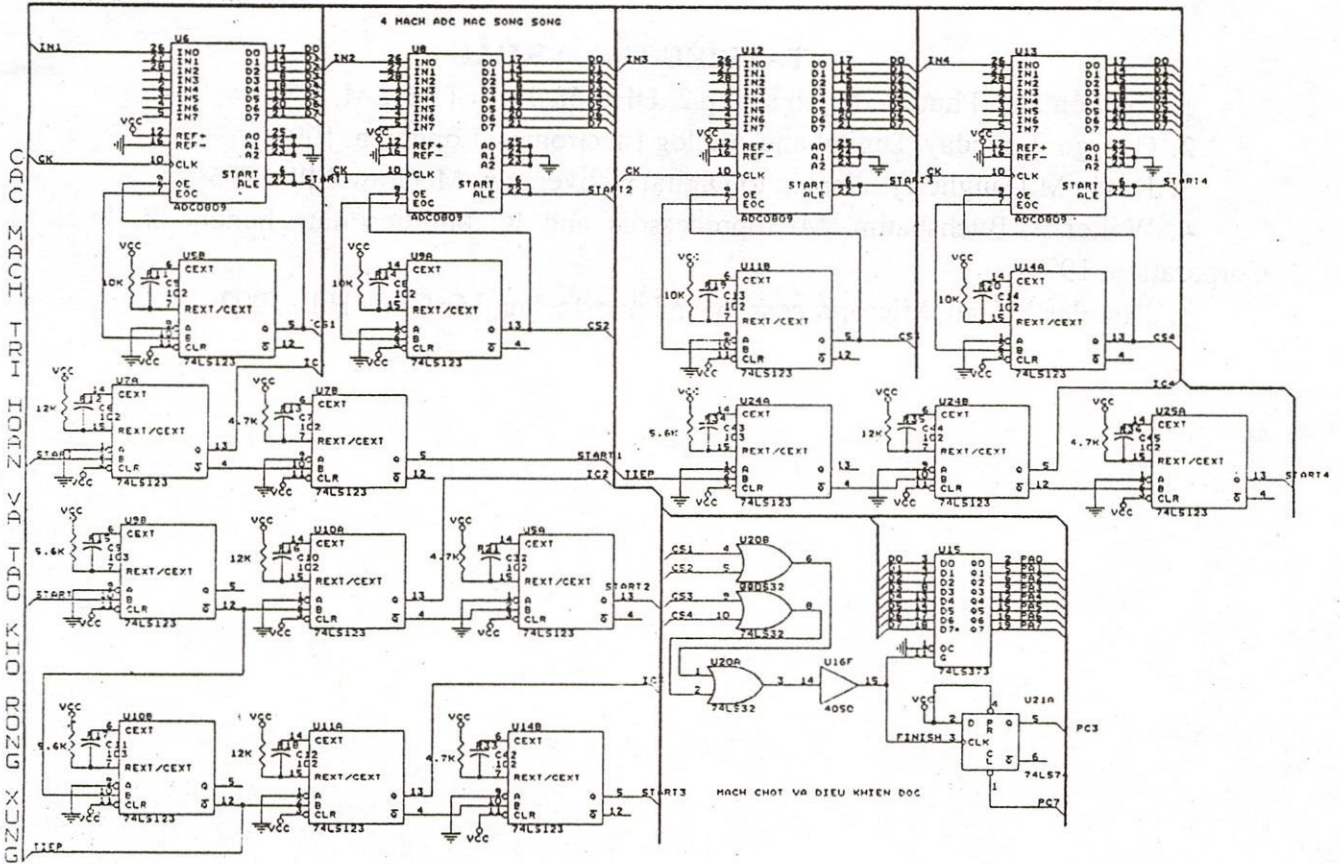
Chúng tôi đã lắp mạch chuyển đổi tương tự sang số song song theo sơ đồ khối ở hình 1, sơ đồ chi tiết ở hình 8, và đã viết chương trình theo lưu đồ ở hình 6. Kết quả thử nghiệm cho thấy tốc độ chuyển đổi của mạch dùng 4 ADC 0809 mắc song song nhanh hơn mạch chỉ dùng một ADC 0809 bốn lần, đúng như lý thuyết.



S12	Document Number	
B	HINH 9A	
Rev.	Ngày 21, 1998	Sheet 01

Hình 7A: Mạch chuyển đổi song song ADC và mạch tái lập tín hiệu tương tự ADC

Về mặt nguyên tắc, cách tiến hành mạch chuyển đổi song song theo sơ đồ khối ở hình 1 bị hạn chế về tốc độ vì số mạch ADC có thể mắc song song không cao lắm. Để số mạch ADC mắc song song được lớn hơn nhiều, chúng tôi đã thử một mạch khác hoạt động như sau: mạch khá giống với dạng đã trình bày ở trên, điểm khác chính là sau mỗi mạch ADC chúng tôi dùng một mạch chốt riêng thay vì sử dụng chung một mạch chốt, các mạch ADC nối gố đầu nhau, trong vòng 75  $\mu$ s kích hoạt hết các mạch ADC mắc song song và 75  $\mu$ s sau khi kích hoạt mạch ADC đầu tiên sẽ tiến hành đọc tuần tự các mạch chốt.



Hình 7B: Mạch chuyển đổi song song ADC và mạch tái lập tín hiệu tương tự

Đối với mạch chuyển đổi nhanh hơn ADC0809 hoặc khi có khá nhiều mạch ADC mắc song song thì tốc độ dữ liệu khá cao, lúc bấy giờ có thể chúng ta phải dùng cơ chế DMA để đọc dữ liệu vào qua bus dữ liệu.

**PARALLEL A TO D CONVERSION**  
 Nguyen Huu Phuong – Bui Trong Tu

**ABSTRACT:** In nature, signals exist in analog form, while many means of storage, processing and transmission are digital (computers, communication systems,...). We thus need ADC circuits. Today many applications require higher and higher conversion speed and many fast ADC ICs have been produced (called Flash ADC, Video ADC, ...). In this article we present the parallel A to D conversion where a number of popular medium speed and rather cheap 8-bit ADC ICs are connected in parallel to attain higher speed. Stored data can be converted numerically back to analog waveform on monitor screen or outputted to an DAC circuit together with appropriate filtering to restore the analog signal.

In order to preserve the correct sequence of converted data from individual ADCs, the number of ADCs is limited to about 5 ie the overall conversion speed can be increased 5 times. We also present a method to increase further the number of parallel ADCs.

Assembled circuit worked well and gave results as expected.

### TÀI LIỆU THAM KHẢO

1. Nguyễn Hữu Phương, Mạch số tập 2, ĐH Tổng Hợp TP HCM, 1991.
2. George Loveday, Digital and Analog Electronics, Longman, 1993.
3. Kevin M. Daugherty, Analog to Digital Conversion, McGraw Hill, 1995
4. Walter M. Buchsbaum, Microprocessors and IC families data handbook, Intel Corporation, 1993
5. Douglas V. Hall, Microprocessors and interfacing, Mc Graw Hill, 1992

Hình 7B: Mạch chuyển đổi song song ADC và mạch lấy dữ liệu tương tự  
Đổi với mạch chuyển đổi nhanh hơn ADC0809 hoặc khi có khả năng mạch ADC  
mức song song thì tốc độ dữ liệu khá cao, lúc này giữ có thể chúng ta phải dùng cơ chế  
DMA để đọc dữ liệu vào bus dữ liệu.

#### PARALLEL A TO D CONVERSION Nguyễn Hữu Phương - Bùi Trọng Tu

ABSTRACT: In nature, signals exist in analog form, while many means of storage, processing and transmission are digital (computers, communication systems,...). We thus need ADC circuits. Today many applications require higher and higher conversion speed and many fast ADC ICs have been produced (called Flash ADC, Video ADC, ...). In this article we present the parallel A to D conversion where a number of popular medium speed and rather cheap 8-bit ADC ICs are connected in parallel to attain higher speed. Stored data can be converted numerically back to analog waveform on monitor screen or outputted to an DAC circuit together with appropriate filtering to restore the analog signal.

In order to preserve the correct sequence of converted data from individual ADCs, the number of ADCs is limited to about 2 to the overall conversion speed can be increased 2 times. We also present a method to increase further the number of parallel ADCs.

Assembled circuit worked well and gave results as expected.