

Thiết kế và mô phỏng lớp vật lý của PCI Express 2.0

- Nguyễn Thị Lệ Linh
- Nguyễn Chí Nhân
- Bùi An Đông
- Nguyễn Văn Hiếu

Trường Đại học Khoa học Tự Nhiên, ĐHQG-HCM

(Bài nhận ngày 04 tháng 12 năm 2014, nhận đăng ngày 23 tháng 09 năm 2015)

TÓM TẮT

Bài báo này trình bày chi tiết việc phân tích, thiết kế và mô phỏng lớp vật lý của chuẩn giao tiếp PCI Express. Lớp vật lý tách biệt với các lớp giao dịch và lớp liên kết dữ liệu nó được sử dụng cho việc trao đổi dữ liệu trên các liên kết PCI. Lớp vật lý được chia thành hai khối phụ gồm khối logic và khối điện. Lớp vật lý được thiết kế ở mức hệ

Từ khóa: PCI express, physical layer, physical layer packet (PLP).

thống với phương pháp thiết kế từ trên xuống và viết mã Verilog HDL để thực hiện lớp vật lý. Các mô-đun thiết kế của lớp vật lý được kiểm tra tính đúng đắn dựa trên mô phỏng chức năng. Kết quả mô phỏng cho thấy lớp vật lý được thiết kế đáp ứng các chức năng của lớp vật lý trong giao thức PCI Express™ 2.0.

MỞ ĐẦU

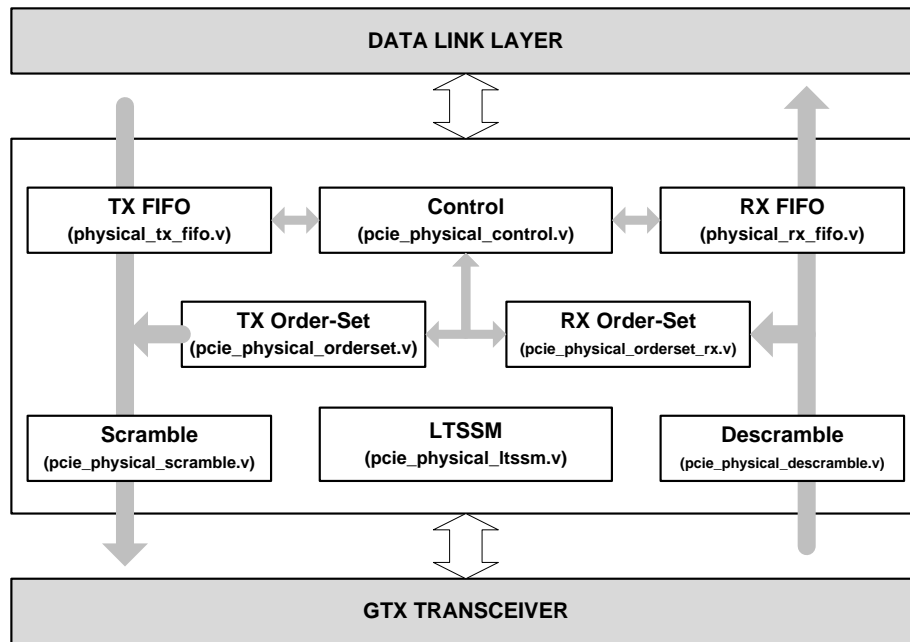
PCI Express là một chuẩn giao tiếp tốc độ cao được thiết kế nhằm thay thế các chuẩn cũ trước đây như PCI, PCI-X. PCIe có thể kết nối được với nhiều thiết bị ngoại vi và được ứng dụng nhiều trong các lĩnh vực điện thoại di động, hệ thống nhúng, là nền tảng của máy tính và truyền thông. PCIe là bus truyền tốc độ cao, kết nối điểm – điểm, có thể truyền nhận đồng thời theo cả 2 hướng.

PCI express là hệ thống kiến trúc các lớp bao gồm: lớp truyền nhận (transaction layer), lớp liên kết dữ liệu (data link layer) và lớp vật lý (Physical layer) trong mỗi lớp được chia thành hai phần phần truyền (Tx) thực hiện quá trình truyền dữ liệu đi qua từng lớp để xử lý sau đó dữ liệu được đưa qua link tới thiết bị nhận. Phần nhận (Rx) nhận dữ liệu từ link đi vào xử lý dữ liệu và đưa qua các lớp.

PCI express sử dụng giao thức truyền nhận dưới dạng các gói để đảm bảo được tính toàn vẹn của dữ liệu. Chuẩn giao tiếp này cung cấp ba loại gói cơ bản là TLPs được tạo ra từ lớp Transaction Layer, DLLPs từ lớp Data link layer và PLPs – Physical layer. Các gói dữ liệu khi được truyền qua các lớp khác, chúng sẽ được mở rộng bằng cách thêm vào các thông tin cần thiết để kiểm tra lỗi, biết được điểm bắt đầu-kết thúc của gói,...

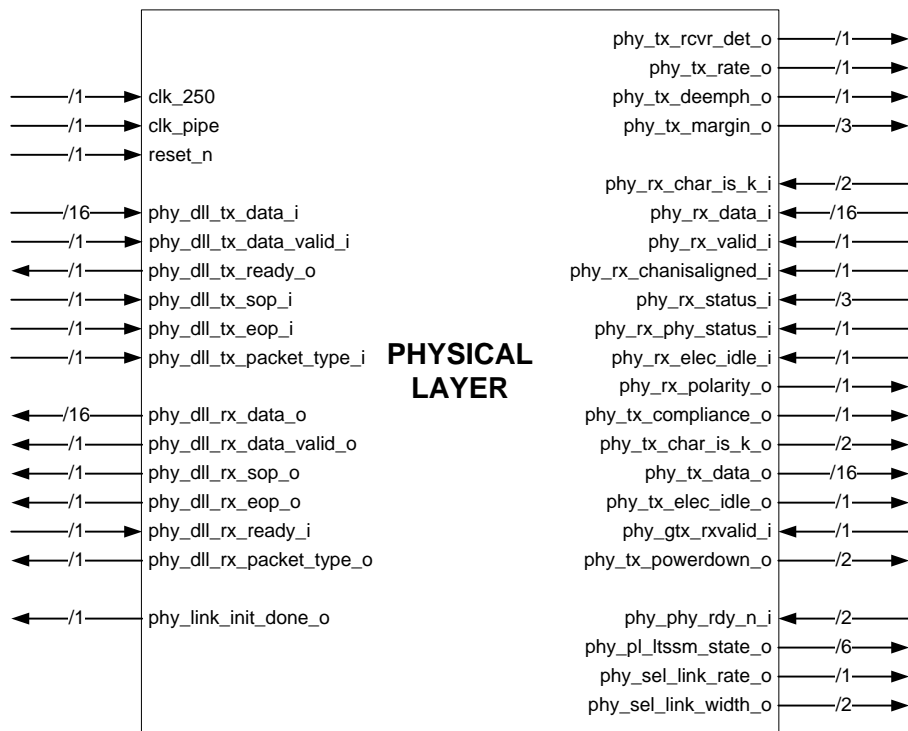
THIẾT KẾ CẤU TRÚC LỚP VẬT LÝ

Lớp vật lý là lớp cuối cùng trong cấu trúc PCIe. Mô hình tổng quan của lớp vật lý được thể hiện như Hình 1. Một mặt lớp vật lý sẽ giao tiếp với lớp liên kết dữ liệu, mặt còn lại được kết nối với link. Lớp vật lý sẽ xử lý các gói dữ liệu được chuyển đến từ lớp liên kết dữ liệu trước khi truyền chúng qua link và xử lý các gói dữ liệu nhận được từ link sau đó đưa dữ liệu ngược lại lớp liên kết dữ liệu.



Hình 1. Sơ đồ khối lớp Physical Layer

Sơ đồ chân khối Physical Layer

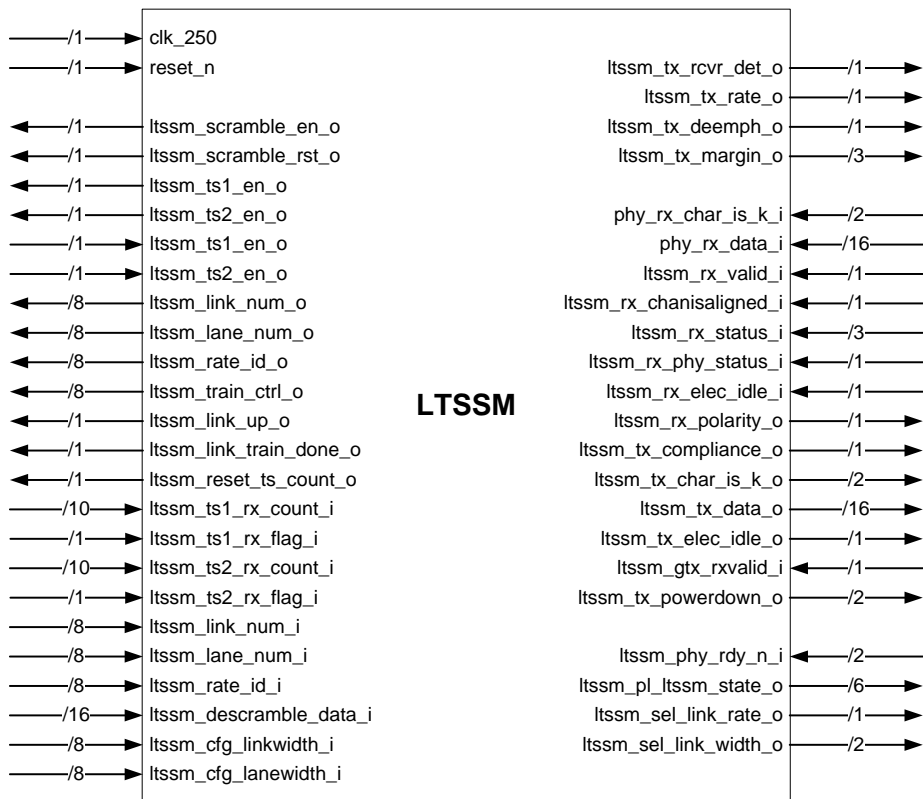


Hình 2. Sơ đồ chân khối Physical Layer

Mô tả chi tiết các khối trong lớp Physical Layer

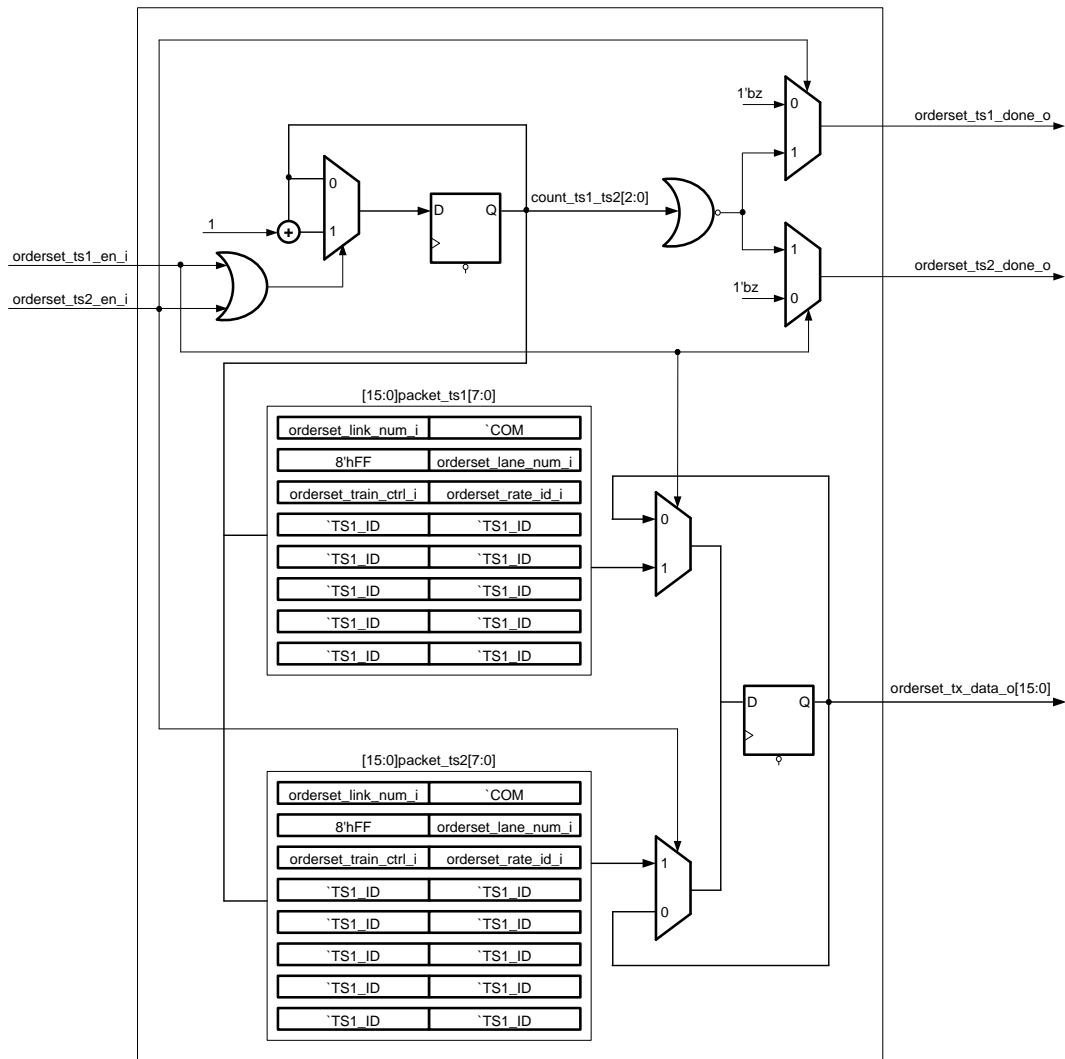
Khối LTSSM (Link Training Status State Machine)

Khối LTSSM là máy trạng thái sử dụng trong quá trình khởi tạo link PCI express. Máy trạng thái này bao gồm 50 trạng thái.



Hình 3. Sơ đồ chân khối LTSSM

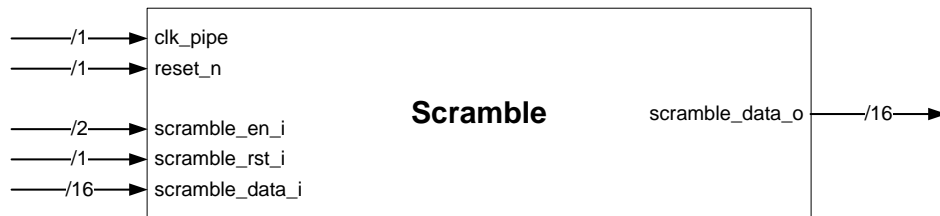
Khối TX Order-Set
Mô tả thiết kế



Hình 4. Sơ đồ mạch thực hiện truyền gói Order-Set TS1 và TS2

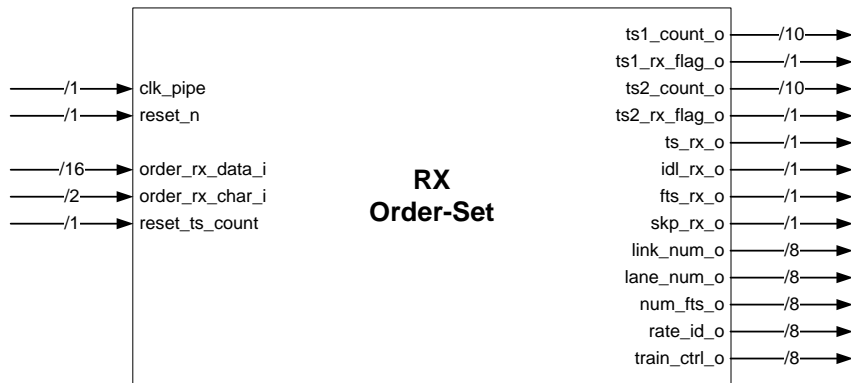
Khối Scramble

Khối này được thiết kế dựa theo tài liệu PCI Express Base Specification v2.0. Trong đề tài này scramble được thiết kế với độ rộng dữ liệu vào ra là 16 bit.



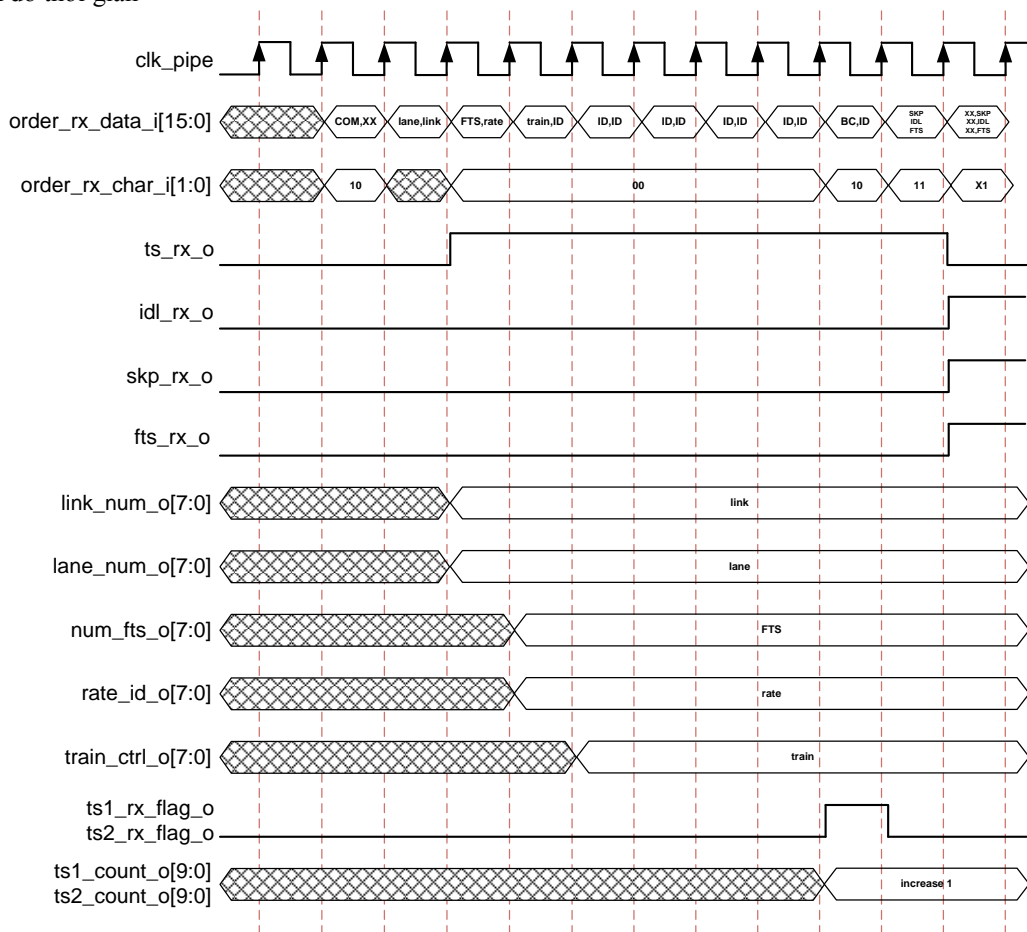
Hình 5. Sơ đồ chân khối Scramble

Khối RX Oeder_Set



Hình 6. Sơ đồ chân khối RX Order-Set

Giải đồ thời gian



Hình 7. Giải đồ thời gian khối RX Order-Set

Khối Descramble

Khối Descarmble được thiết kế tương tự như khối Scramble.

Khối TX FIFO

Khối TXFIFO sử dụng FIFO Generator với cấu hình như sau:



Hình 8. Cấu hình TX FIFO của Physical Layer

Khối RX FIFO

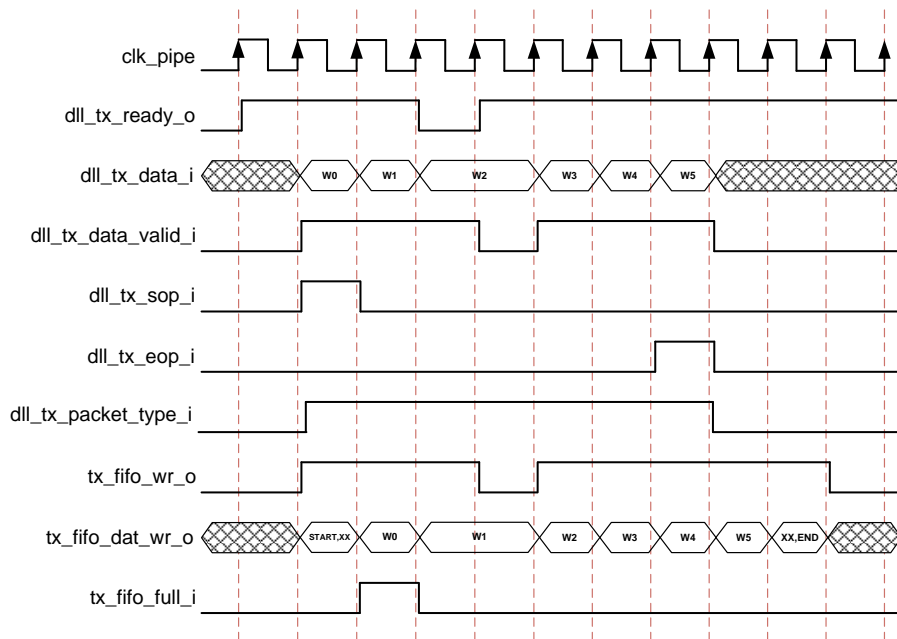
Khối RX FIFO sử dụng FIFO Generator với cấu hình như sau:



Hình 9. Cấu hình RX FIFO của Physical Layer

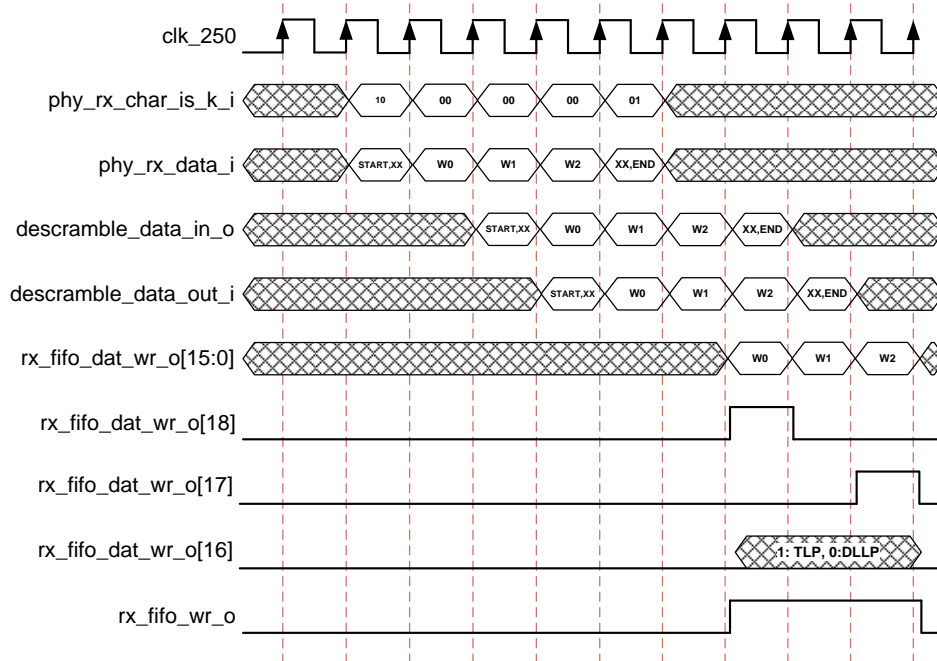
Khối Control

Giản đồ thời gian



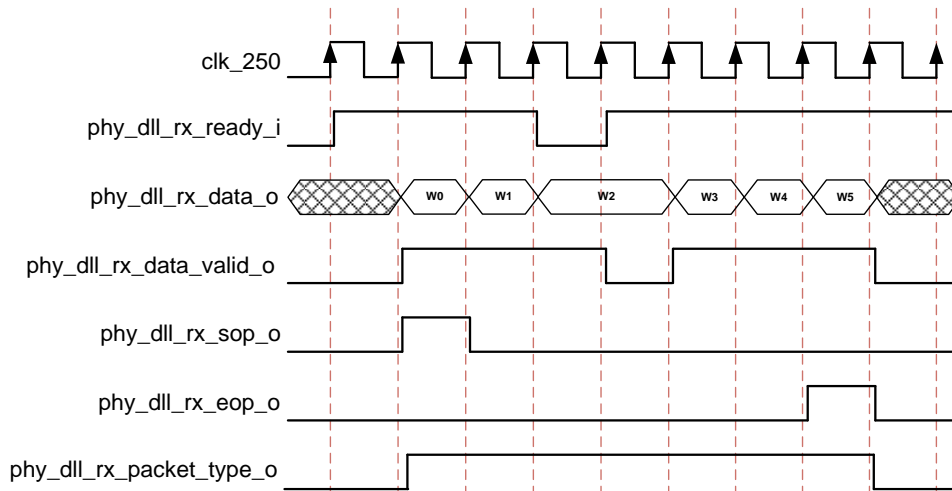
Hình 10. Giản đồ thời gian nhận dữ liệu và ghi vào TX FIFO

Trong giản đồ thời gian trên nhận thấy rằng việc thêm các ký tự START và END được thực hiện trước khi ghi vào TX FIFO.



Hình 11. Luồng dữ liệu nhận từ GTX và ghi vào RX FIFO

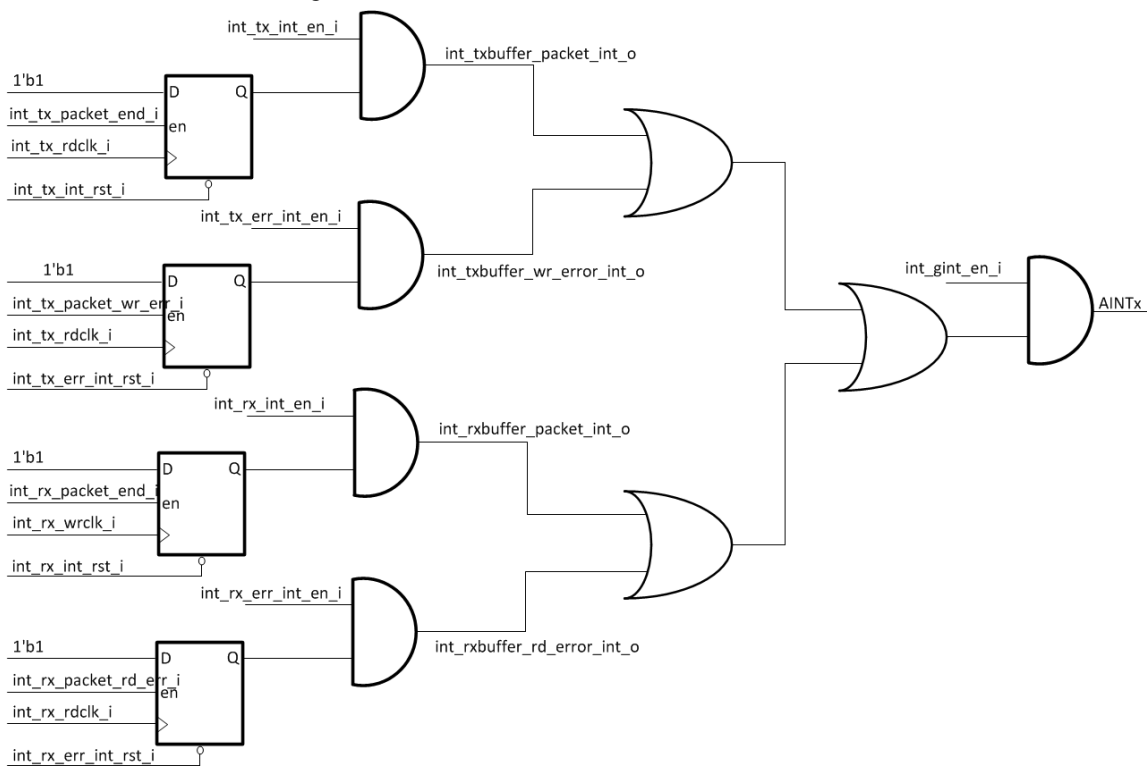
Độ rộng dữ liệu của RX FIFO là 19 bit, trong đó bao gồm 1 bit sop, 1 bit eop, 1 bit packet_type và 16 bit gói dữ liệu TLP hoặc DLLP.



Hình 12. Giản đồ thời gian giao tiếp lớp Dữ Liệu phía nhận

Khởi tạo ngắt

Mô tả thiết kế khởi tạo ngắt



Hình 13. Sơ đồ mạch khởi tạo ngắt

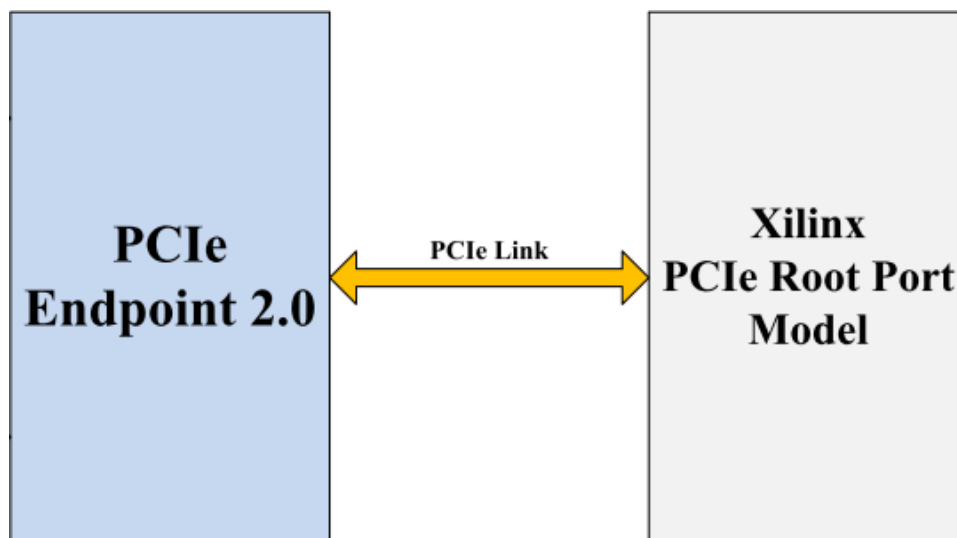
Bảng 1. Bảng mô tả tín hiệu khối Physical Layer

Tên tín hiệu	I/O	Độ rộng	Miêu tả
System			
clk_250	I	1	Xung clock 250 MHz từ khối GTX
clk_pipe	I	1	Xung clock PIPE. Cấu hình được trong quá trình khởi tạo link.
reset_n	I	1	Tín hiệu reset hệ thống bất đồng bộ.
Giao tiếp lớp Data Link			
phy_dll_tx_data_i	I	16	Dữ liệu gói TLP hoặc DLLP từ khối Data Link Layer (chiều truyền)
phy_dll_tx_data_valid_i	I	1	Cho biết dữ liệu trên <i>phy_tx_data_i</i> có giá trị. Tích cực mức 1
phy_dll_tx_ready_o	O	1	Cho biết khối Physical Layer sẵn sàng nhận dữ liệu. Tích cực mức 1
phy_dll_tx_sop_i	I	1	Tín hiệu cho biết bắt đầu gói dữ liệu TLP hoặc DLLP (chiều truyền)
phy_dll_tx_eop_i	I	1	Tín hiệu cho biết kết thúc gói dữ liệu TLP hoặc DLLP (chiều truyền)
phy_dll_tx_packet_type_i	I	1	Tín hiệu cho biết gói dữ liệu là TLP hoặc DLLP (chiều truyền)
phy_dll_rx_data_o	O	16	Dữ liệu gói TLP hoặc DLLP tới khối Data Link Layer (chiều nhận)
phy_dll_rx_data_valid_o	O	1	Cho biết dữ liệu trên <i>phy_rx_data_o</i> có giá trị. Tích cực mức 1
phy_dll_rx_sop_o	O	1	Tín hiệu cho biết bắt đầu gói dữ liệu TLP hoặc DLLP (chiều nhận)
phy_dll_rx_eop_o	O	1	Tín hiệu cho biết kết thúc gói dữ liệu TLP hoặc DLLP (chiều nhận)
phy_dll_rx_ready_i	I	1	Cho biết khối Data Link Layer sẵn sàng nhận dữ liệu. Tích cực mức 1
phy_dll_rx_packet_type_o	O	1	Tín hiệu cho biết gói dữ liệu là TLP hoặc DLLP (chiều nhận)
Giao tiếp khối GTX Transceiver			
phy_tx_rcvr_det_o	O	1	Tín hiệu này dùng để kích hoạt chuỗi phát hiện bộ nhận
phy_tx_rate_o	O	1	Tín hiệu reset khối nhận của GTX Transceiver. Tích cực mức cao
phy_tx_deemph_o	O	1	Điều khiển giao tiếp PIPE
phy_tx_margin_o	O	3	Điều khiển giao tiếp PIPE
phy_rx_char_is_k_i	I	2	Cho biết dữ liệu nhận được là ký tự D hay ký tự K
phy_rx_data_i	I	16	Dữ liệu nhận được từ PCI Express
phy_rx_valid_i	I	1	Cho biết dữ liệu trên <i>phy_rx_data_i</i> có giá trị

phy_rx_chanisaligned_i	I	1	
phy_rx_status_i	I	3	<p>000 : Receiver not present (when in receiver detection sequence)/Received data OK (during normal operation).</p> <p>001 : Reserved.</p> <p>010 : Reserved.</p> <p>011 : Receiver present (when in receiver detection sequence).</p> <p>100 : 8B/10B decode error.</p> <p>101 : Elastic buffer overflow. Different than defined in the PIPE specification.</p> <p>110 : Elastic buffer underflow. Different than defined in the PIPE specification.</p> <p>111 : Receive disparity error.</p>
phy_rx_phy_status_i	I	1	Cho biết trạng thái của PHY
phy_rx_elec_idle_i	I	1	Tích cực khi RX nhận ký tự Electrical Idle
phy_rx_polarity_o	O	1	
phy_tx_compliance_o	O	1	
phy_tx_char_is_k_o	O	2	Cho biết dữ liệu truyền đi là ký tự D hay ký tự K
phy_tx_data_o	O	16	Dữ liệu truyền
phy_tx_elec_idle_o	O	1	Cho biết dữ liệu truyền là ký tự Electrical Idle
phy_tx_powerdown_o	O	2	<p>Điều khiển trạng thái nguồn của phần truyền và phần nhận</p> <p>00: P0 (normal operation)</p> <p>01: P0s (low recovery time power down)</p> <p>10: P1 (longer recovery time/Receiver detection still on)</p> <p>11: P2 (lowest power state)</p>
phy_rdy_n_i	I	1	Trạng thái sẵn sàng của PHY
phy_pl_ltssm_state_o	O	6	Trạng thái hiện tại của máy trạng thái LTSSM
phy_sel_link_rate_o	O	1	
phy_sel_link_width_o	O	2	

KẾT QUẢ MÔ PHỎNG

Ngữ cảnh kiểm tra: sử dụng Xilinx PCIe Root Port Model

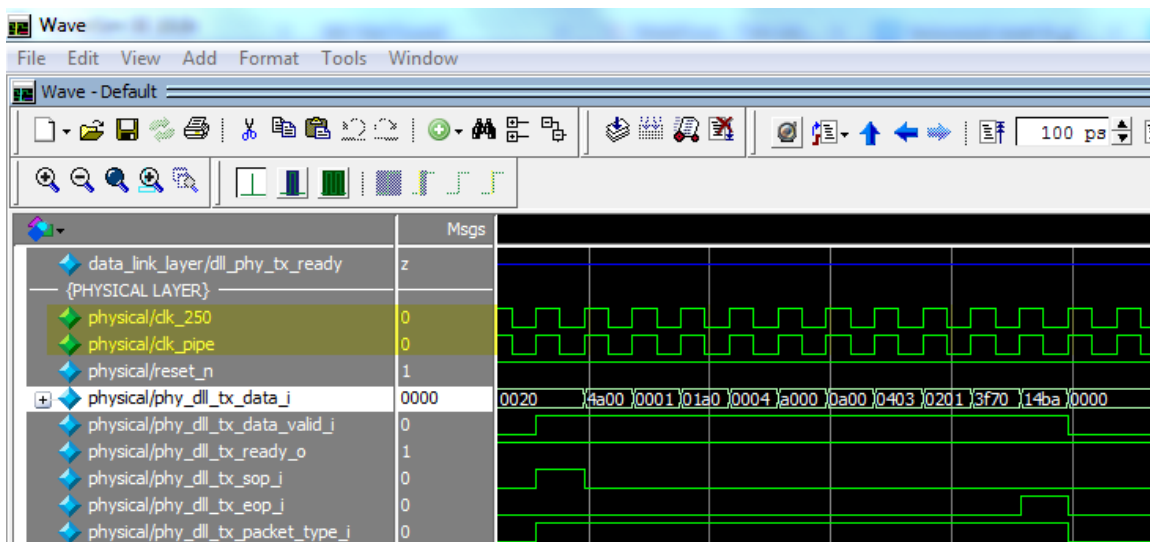


Hình 14. Sơ đồ khối hệ thống mô phỏng lõi PCIe

Xilinx PCIe Root Port Model: đây là model được cung cấp bởi Xilinx được sử dụng để mô phỏng các lõi PCIe thông qua giao tiếp lập trình kiểm tra.

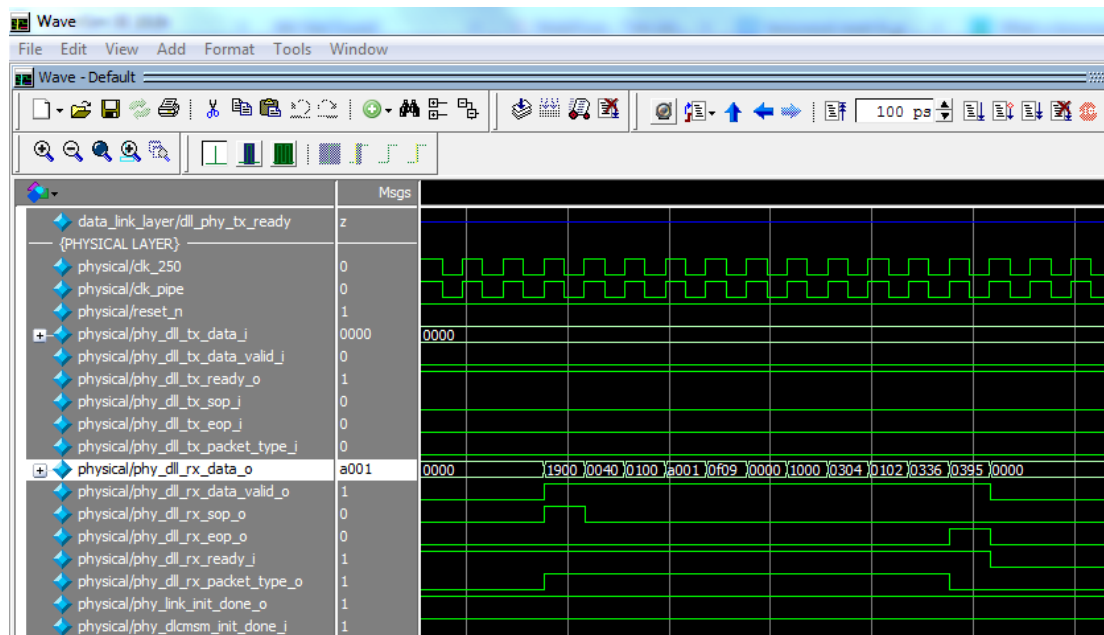
PCIe Endpoint 2.0: là lõi PCIe thực hiện trong đề tài.

Kết quả mô phỏng lõi PCIe

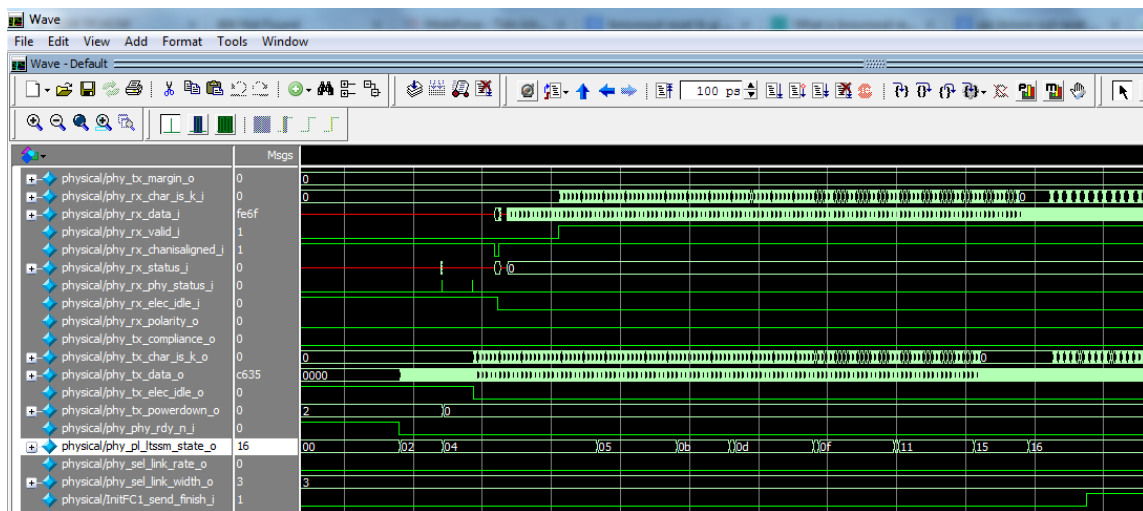


Hình 15. Mô tả dữ liệu truyền vào lớp vật lý từ lớp liên kết dữ liệu

Hình 16 Trình bày quá trình nhận dữ liệu, dữ liệu này được ghi vào bộ đệm và đưa lên lớp liên kết dữ liệu.



Hình 16. Phần nhận dữ liệu



Hình 17. Quá trình khởi tạo link

KẾT LUẬN

Trong bài báo này, chúng tôi đã mô tả được cấu trúc của lớp vật lý, viết code verilog cho từng khối trong thiết kế và kiểm tra hoạt động của thiết kế này bằng viết code testbench. Tốc độ Bit

là 5 GT/s, băng thông: 4 Gb/s và kích thước gói truyền tối đa là 4 Kbyte. Kết quả mô phỏng cho thấy rằng, thiết kế đã mô phỏng được chức năng của từng khối phù hợp với chức năng lớp vật lý theo chuẩn giao tiếp PCI express 2.0.

Design and simulation of PCI Express physical layer

- Nguyen Thi Le Linh
- Nguyen Chi Nhan
- Bui An Dong
- Nguyen Van Hieu

University of Science, VNU-HCM

ABSTRACT

This paper presents a detailed analysis, design and simulation of PCI Express Physical Layer. The Physical Layer isolates the Transaction and Data Link Layers from the signaling technology used for Link data interchange. The Physical Layer is divided into the logical and electrical subblocks. The paper designed Physical Layer in the system level with top-down design method and

Key words: PCI Express, physical layer, physical layer packet (PLP)

wrote the Verilog HDL codes to implement Physical Layer. Wrote testbench to verify the correctness of the design module for function simulation. The simulation results show that the designed Physical Layer meets the required of the function of PCI Express™ Physical layer Base Specification Revision 2.0.

TÀI LIỆU THAM KHẢO

- [1]. PCI-SIG, PCI Express 2.0 Base Specification Revision 0.9,632 (2006).
- [2]. L. Wang, Design, Simulation of PCI express Transaction Layer (2009).
- [3]. J. Li, W. Wang, 3 PCI express interface design and verification based on Spartan-6 FPGA, 12th IEEE International Conference on Communication Technology (ICCT) (2010).
- [4]. Intel Corporation, PHY Interface for the PCI Express Architecture (2007).
- [5]. Xilinx, LogiCORE IP FIFO Generator v8.4 – User Guide, (2012).
- [6]. L. Wang, Design and simulation of PCI Express Transaction Layer (2009)
- [7]. <https://www.pcisig.com/specifications/pciexpress>